

DATA PROCESSOR

Patent number: JP11015658

Publication date: 1999-01-22

Inventor: MORIKAWA TORU; HIGAKI NOBUO; OZAKI SHINJI;
KANEKO KEISUKE; OGURA SATOSHI; SUZUKI
MASATO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:


- international: G06F9/38

- european:

Application number: JP19970171400 19970627

Priority number(s): JP19970171400 19970627

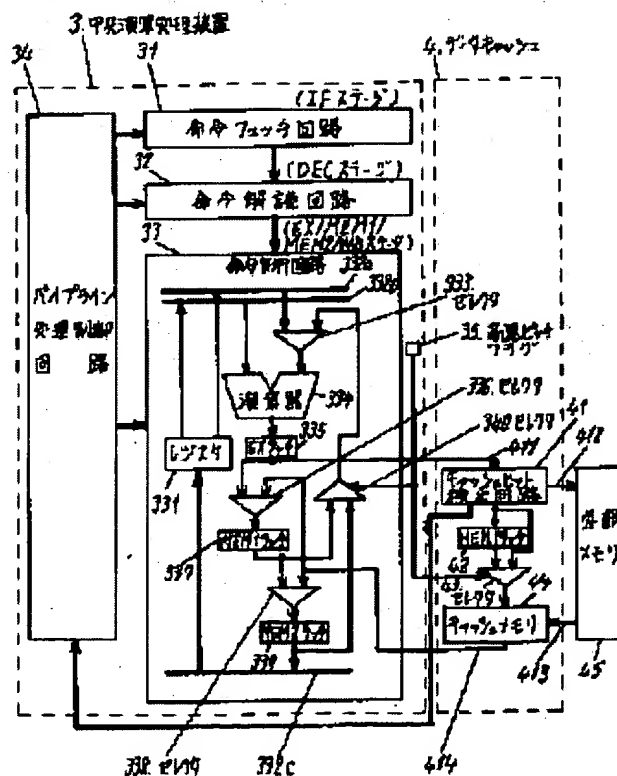
Also published as:

 US6161171 (A1)

Report a data error here

Abstract of JP11015658

PROBLEM TO BE SOLVED: To provide a data processor in which an interlock period can be shortened and performance can be improved by changing the number of pipeline stages with the change of an operation clock frequency and switching a forwarding path. **SOLUTION:** An instruction fetch circuit 31 and an instruction decoding circuit 32 process data at one cycle time. In a data cache 4, access time changes by the change of the operation clock frequency. In that case, a selector 340 selects load data of one cycle time in the data cache 4 and executes a next processing when a high speed pitch flag 35 is cleared. When it is set, the selector 340 selects load data for the two cycle time of the data cache 4 and executes the next processing. The optimum bypass of data can be selected with the speed change of a clock.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl.⁶

G 0 6 F 9/38

識別記号

3 1 0

F I

G 0 6 F 9/38

3 1 0 E

3 1 0 A

審査請求 未請求 請求項の数22 OL (全 28 頁)

(21) 出願番号

特願平9-171400

(22) 出願日

平成9年(1997) 6月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森河 徹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 檜垣 信生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 尾崎 伸治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

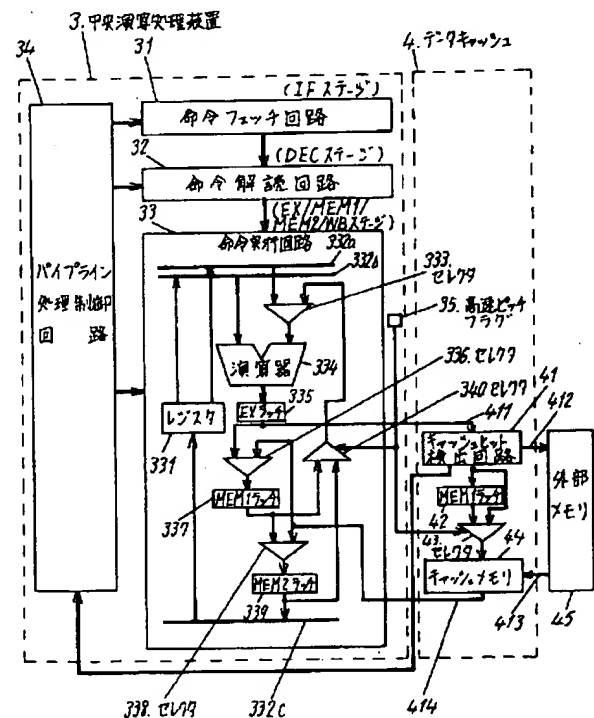
最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】 本発明は、動作クロック周波数の変化によってパイプライン段数を変化させるとともにフォワードイングパスを切り替えることによりインタロック期間が短縮でき性能を改善するデータ処理装置を提供することを目的とする。

【解決手段】 命令フェッチ回路31、命令解読回路32は、1サイクル時間で処理する。データキャッシュ4は動作クロック周波数の変化によってアクセス時間が変化する。その際、高速ピッチフラグ35がクリアされているときは、セクタ340によりデータキャッシュ4の1サイクル時間のロードデータが選択され次処理を実行する。セットされているときはセクタ340によりデータキャッシュ4の2サイクル時間のロードデータが選択され次処理を実行する。クロックの速度変化により最適なデータのバイパスを選択することができる。



【特許請求の範囲】

【請求項1】 パイプライン段数が n 段で機械語命令をパイプライン処理する処理手段と、

前記処理手段の中であって、 n 以下の i 段目の処理結果を i 以下の k 段目の入力に転送する第1の転送手段と、前記処理手段の中であって、 n 以下でかつ i より大きい j 段目の処理結果を k 段目の入力に転送する第2の転送手段と、

前記処理手段の中であって、前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択して k 段目の入力とする切り替え手段と、

パイプライン処理される命令の k 段目の入力が、前記命令に先行する命令のパイプライン処理における i 段目で決定される内容を必要とする第1の状態と、前記命令に先行する命令のパイプライン処理における j 段目で決定される内容を必要とする第2の状態とを検出する検出手段と、

所定の条件に応じて、

前記検出手段が前記第1の状態を検出した場合にのみ、前記切り替え手段に対して前記第1の転送結果を選択する第1の指示を与えるか、または、前記検出手段が前記第1および第2の状態を検出した場合に、前記切り替え手段に対して前記第2の転送結果を選択する第2の指示を与える選択制御手段とを備えることを特徴とするデータ処理装置。

【請求項2】 請求項1記載の選択制御手段は、前記機械語命令の組合せが、前記第1の状態を多く発生させるか、前記第2の状態を多く発生させるかを指定する指定手段を備え、

前記指定手段により、

前記第1の状態を多く発生させると指定された場合には、前記切り替え手段に対して前記第1の指示を与え、前記第2の状態を多く発生させると指定された場合には、前記切り替え手段に対して前記第2の指示を与えることを特徴とするデータ処理装置。

【請求項3】 請求項2記載の指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであることを特徴とするデータ処理装置。

【請求項4】 請求項2記載の指定手段は、前記機械語命令の組合せが、前記第1の状態を多く発生させるか、前記第2の状態を多く発生させるかを指示する特定命令の解読または実行に基づいて指定されることを特徴とするデータ処理装置。

【請求項5】 請求項1ないし4記載の何れかの処理手段は、少なくとも、

1つのパイプライン段数で命令フェッチを行う命令フェッチ部と、

1つのパイプライン段数でフェッチされた命令の解読を行う命令解読部と、

前段部と後段部の2つのパイプライン段数で命令を実行する命令実行部とからなり、

第1の転送手段は、前記命令実行部の前記前段部の実行結果を前記前段部の入力に転送し、

第2の転送手段は、前記命令実行部の前記後段部の実行結果を前記前段部の入力に転送し、

切り替え手段は、前記命令実行部の前記前段部の実行結果と前記後段部の実行結果との何れかを選択して前記前段部の入力とすることを特徴とするデータ処理装置。

【請求項6】 キャッシュメモリのアクセスを行う段を含む複数の段からなり、機械語命令をパイプライン処理する処理手段を有するデータ処理装置であって、

前記キャッシュメモリのアクセスを行う段の段数が a 段と a より大きい b 段とに可変であり、

前記データ処理装置はさらに、

処理手段のパイプライン段数を切り替える切り替え手段を備えることを特徴とするデータ処理装置。

【請求項7】 請求項6記載の処理手段は、命令フェッチステージ、命令解読ステージ及び命令実行ステージの少なくとも3段のパイプライン段数を持ち、

前記キャッシュメモリは前記命令実行ステージにおいてアクセスされることを特徴とするデータ処理装置。

【請求項8】 前記キャッシュメモリのアクセスの処理内容は、シーケンシャルな b 個の部分処理に分割可能であり、

前記キャッシュメモリを a 段でアクセスする場合には b 個の部分処理のうちの $(b-a)$ 個を隣合う他の a 個の部分処理と同一の段で処理し、

前記キャッシュメモリを b 段でアクセスする場合には各部分処理をそれぞれ1段で処理することを特徴とする請求項6または7記載のデータ処理装置。

【請求項9】 前記各段はそれぞれ個別の処理部が実行し、

それら処理部の少なくとも1つは、

前記部分処理を実行する複数の部分処理部と、

部分処理部と次段の部分処理部との間に設けられ、前記キャッシュメモリを a 段でアクセスする場合には当該部分処理結果を透過出力し、前記キャッシュメモリを b 段でアクセスする場合には当該部分処理結果を保持し次の段に出力する複数の透過保持部とを備えることを特徴とする請求項8記載のデータ処理装置。

【請求項10】 前記各透過保持部は、部分処理部からの部分処理結果を保持するパイプラインラッチと、

前記キャッシュメモリを a 段でアクセスする場合は当該部分処理結果を選択し、前記キャッシュメモリを b 段でアクセスする場合はパイプラインラッチの出力を選択して次段の部分処理部に出力するセレクトとを有すること

を特徴とする請求項 9 記載のデータ処理装置。

【請求項 11】 前記部分処理の 1 つにタグメモリ部のアクセスを含み、前記部分処理の他の 1 つにデータメモリ部のアクセスを含むことを特徴とする請求項 8 から 10 のいずれかに記載のデータ処理装置。

【請求項 12】 請求項 6 ないし 11 記載の何れかのデータ処理装置は、さらに、

前記キャッシュメモリを a 段でアクセスする場合の前記アクセスの最終段の処理結果を、前記処理手段の予め定めた段の入力に転送する第 1 の転送手段と、

前記キャッシュメモリを b 段でアクセスする場合の前記アクセスの最終段の処理結果を、前記予め定めた段の入力に転送する第 2 の転送手段と、

パイプライン処理される命令の前記予め定めた段の入力が、前記命令に先行する命令の前記キャッシュメモリのアクセス結果を必要とする状態を検出する検出手段とを備え、

前記検出手段が前記状態を検出した場合に、

前記切り替え手段が切り替えるパイプライン段数に対応して前記第 1 の転送手段の転送結果と前記第 2 の転送結果との何れかを選択し、前記予め定めた段の入力とすることを特徴とするデータ処理装置。

【請求項 13】 前記切り替え手段は、

データ処理装置が第 1 の動作環境にあるか第 2 の動作環境にあるかを指定する指定手段と、

第 1 の動作環境にあると指定された場合には、前記キャッシュメモリを a 段でアクセスさせ、第 2 の動作環境にあると指定された場合には、前記キャッシュメモリを b 段でアクセスさせるパイプライン制御手段とを備え、

前記第 1 の動作環境にあるか第 2 の動作環境にあるかは、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されることを特徴とする請求項 6 から 12 のいずれかに記載のデータ処理装置。

【請求項 14】 請求項 13 記載の指定手段は、

その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであることを特徴とするデータ処理装置。

【請求項 15】 レジスタを有し、機械語命令をパイプライン処理する第 1 処理手段と、

前記第 1 処理手段による命令の処理の中で、キャッシュメモリをアクセスする部分を含む処理をパイプライン処理する、パイプライン段数が a 段と a より大きい b 段とに可変であり、a 段又は b 段の何れかの段数で前記処理をパイプライン処理する第 2 処理手段と、

第 2 処理手段のパイプライン段数を切り替える切り替え手段とを備え、

前記第 1 処理手段は、第 2 処理手段が a 段パイプライン

処理を行う場合には、所定段で第 2 処理手段の実行結果を獲得し、第 2 処理手段が b 段パイプライン処理を行う場合には、第 1 処理手段は、前記所定段より (b - a) 段あとの段で第 2 処理手段の実行結果を獲得し、獲得した実行結果を前記レジスタに格納することを特徴とするデータ処理装置。

【請求項 16】 前記データ処理装置は、さらに前記キャッシュメモリをアクセスするために必要な情報を第 1 処理手段から第 2 処理手段に伝達する第 1 パスと、

第 2 処理手段による前記キャッシュメモリのアクセス結果を第 2 処理手段から第 1 処理手段に伝達する第 2 パスとを備え、

前記第 1 処理手段は、前記情報を第 1 パスを介して第 2 処理手段に送信し、第 2 処理手段の実行結果を第 2 パスを介して獲得することを特徴とする請求項 15 記載のデータ処理装置。

【請求項 17】 請求項 15 または 16 記載の何れかのデータ処理装置は、さらに、

前記第 2 処理手段が a 段パイプライン処理を行う場合の前記第 2 処理手段の最終段の処理結果を、前記第 1 の処理手段の予め定めた段の入力に転送する第 1 の転送手段と、

前記第 2 処理手段が b 段パイプライン処理を行う場合の前記第 2 処理手段の最終段の処理結果を、前記予め定めた段の入力に転送する第 2 の転送手段と、

パイプライン処理される命令の前記予め定めた段の入力が、前記命令に先行する命令の前記第 2 処理手段の最終段の処理結果を必要とする状態を検出する検出手段とを備え、

前記検出手段が前記状態を検出した場合に、

前記切り替え手段が切り替えるパイプライン段数に対応して前記第 1 の転送手段の転送結果と前記第 2 の転送結果との何れかを選択し、前記予め定めた段の入力とすることを特徴とするデータ処理装置。

【請求項 18】 前記切り替え手段は、

データ処理装置が第 1 の動作環境にあるか第 2 の動作環境にあるかを指定する指定手段と、

第 1 の動作環境にあると指定された場合には、第 2 処理手段を a 段で実行させ、第 2 の動作環境にあると指定された場合には、第 2 処理手段を b 段で実行させるパイプライン制御手段とを備え、

前記第 1 の動作環境にあるか第 2 の動作環境にあるか

は、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されることを特徴とする請求項 15 から 17 のいずれかに記載のデータ処理装置。

【請求項 19】 請求項 18 記載の指定手段は、

その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定

内容を示す内部信号の何れかであることを特徴とするデータ処理装置。

【請求項20】 パイプライン段数が n 段と n より大きい m 段とに可変であり、 n 段又は m 段の何れかの段数で命令をパイプライン処理する処理手段と、前記処理手段のパイプライン段数を切り替える切り替え手段と、前記処理手段の中であって、 n 以下の i 段目の処理結果を i 以下の k 段目の入力に転送する第1の転送手段と、前記処理手段の中であって、 $(i+m-n)$ 段目の処理結果を k 段目の入力に転送する第2の転送手段と、パイプライン処理される命令の k 段目の入力が、前記処理手段が n 段パイプライン処理を行う場合の、前記命令に先行する命令のパイプライン処理における i 段目で決定される内容を必要とするか、または、前記処理手段が m 段パイプライン処理を行う場合の、前記命令に先行する命令のパイプライン処理における $(i+m-n)$ 段目で決定される内容を必要とする状態を検出する検出手段と、前記検出手段が前記状態を検出した場合に、前記切り替え手段が切り替えるパイプライン段数に対応して前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択し、前記処理手段の k 段目の入力とすることを特徴とするデータ処理装置。

【請求項21】 前記切り替え手段は、データ処理装置が第1の動作環境にあるか第2の動作環境にあるかを指定する指定手段と、第1の動作環境にあると指定された場合には、前記処理手段を n 段で実行させ、第2の動作環境にあると指定された場合には、前記処理手段を m 段で実行させるパイプライン制御手段とを備え、前記第1の動作環境にあるか第2の動作環境にあるかは、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されることを特徴とする請求項20記載のデータ処理装置。

【請求項22】 請求項21記載の指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ中の命令に従ってデータをパイプライン処理するデータ処理装置に関する。

【0002】

【従来の技術】近年の電子技術の発展により、半導体回路の高速化、高集積化が可能となり、また命令の処理を

少なくとも読出し、解説、実行のステージに分け、これらを並列に実行し命令の見かけ上の実行時間の短縮を図るパイプライン構造による高速化により、データを高速に処理するプロセッサの実現が可能になった。しかし連続した命令を処理する場合において、直前の命令の実行結果を用いて次の命令を処理するため、次の命令が実行できないためにパイプライン処理をロックするレジスタ干渉が発生し、このため性能劣化を引き起こすことがある。このレジスタ干渉の発生を最小限に抑えるために、例えば演算を行う演算ステージ、メモリに対してロード・ストアを行うメモリアクセスステージ等複数のステージに分割され、前段のステージの処理を効率よく行うため後段のステージから処理結果を転送するバイパスを設けることが一般的である。

【0003】図6と図9とに、2つの従来のデータ処理装置のブロック図を示す。まず図6において、データ処理装置は、中央演算処理装置5とデータキャッシュ6と外部メモリ63とから構成される。同図において、中央演算処理装置5は命令フェッチステージ（以下、IFステージ）、命令解説ステージ（以下、DECステージ）、命令実行ステージ（以下、EXステージ）、メモリアクセスステージ（MEMステージ）、レジスタ書込ステージ（WBステージ）の5つのステージからなる5段パイプライン構造を成している。命令フェッチ回路51はIFステージで動作しメモリ（図外）から命令の読出しを行う。命令解説回路52はDECステージで動作し命令フェッチ回路51で読出された命令を解説する。命令実行回路53はEXステージとMEMステージとWBステージとで動作し命令解説回路52によって制御され、演算のオペランドを格納するレジスタ531と、レジスタ531から読出したデータまたはレジスタ531に格納するデータを載せるバス532a～532dと、バス532aとセクタ541の出力値とを選択するセクタ533と、バス532bによって転送されるデータとセクタ533の出力値とを用いて演算を行う演算器534と、クロック同期で演算器534の出力値を保持する第1EXラッチ535と、クロック同期でセクタ533の出力値を保持する第2EXラッチ536と、第1EXラッチ535の出力値とデータキャッシュ6の出力データとを選択するセクタ537と、第1EXラッチ535の出力値とデータキャッシュ6の出力データとを選択するセクタ538と、クロック同期でセクタ537の出力値を保持する第1MEMラッチ539と、クロック同期でセクタ538の出力値を保持する第2MEMラッチ540と、検出されたレジスタ干渉によってレジスタ干渉検出回路550が第1EXラッチ535か第2MEMラッチ540かを選択して有効なフォワードリングバスを決定するセクタ541からなる。パイプライン処理制御回路54は命令フェッチ回路51と命令解説回路52と命令実行回路53とをパイプライン処理を行い、レジスタ干渉検出回路550を

内包する。レジスタ干渉検出回路550はパイプライン処理制御回路54の中でレジスタ干渉を検出し、その検出結果に基づいて有効なフォワーディングパスを決定するためにセクタ541を制御する。データキャッシュ6は、アドレスバス611よりアドレスを入力し予めキャッシュメモリ62に保持するデータのアドレスを保持しその入力アドレスと保持アドレスとを比較することによりキャッシュに格納されているかどうか（以下、格納されている場合はキャッシュヒット、格納されていない場合はキャッシュミスヒット）を判別するとともにキャッシュメモリ62にアドレスを出力しキャッシュミスヒットの場合はキャッシュメモリ62と外部メモリ63とにアドレスを出力するとともに入力アドレスを保持アドレスに変更するキャッシュヒット検出回路61と、キャッシュヒットの場合キャッシュヒット検出回路61からアドレスを入力しキャッシュヒットの場合そのアドレスのメモリからデータを読み出しキャッシュミスヒットの場合外部メモリ63よりデータを読み出しそのデータを出力すると共にキャッシュヒット検出回路61からアドレスを入力したアドレスのメモリからデータを書き込むキャッシュメモリ62とからなり、中央演算処理装置5からアドレスをキャッシュヒット検出回路61へ転送するアドレスバス611と、キャッシュヒット検出回路61からアドレスを外部メモリ63へ転送するアドレスバス612と、外部メモリ63からデータをキャッシュメモリ62へ転送するデータバス613と、キャッシュメモリ62からデータを中央演算処理装置5へ転送するデータバス614と接続する。外部メモリ63は、アドレスバス612よりアドレスを入力しそのアドレスのメモリからデータを読み出しデータバス613へデータを読み出す。

【0004】以上の構成をもつ従来のデータ処理装置について、図7、図8に示すタイムチャートを用いて、ここでは2つのフォワーディングパス（バイパス）について動作を説明する。

(1) MEMステージからEXステージへのバイパス

アドレスをインクリメント処理しながらキャッシュからデータをロードし、連続してロードしたデータを用いて加算を実行する処理を例示する。例示プログラムを以下に示す。

命令1: MOV (A0+), D1

(アドレスA0からデータをロードしながらアドレスA0をインクリメント処理を行い、そのロードデータをD1レジスタに、インクリメント処理を行ったアドレスをA0に格納する)

命令2: ADD D0, D1

(D0レジスタとD1レジスタの加算を行い、その結果をD1レジスタに格納する)

図7に示したタイムチャートを用いて説明する。ここでは、データキャッシュ6はロードするデータを保持する

と仮定する。

【0005】はじめに命令1の動作をタイミング順に説明する。タイミング1において命令フェッチ回路51によって読み出された命令1 (IFステージ: 7ナノ秒) は、タイミング2において命令解読回路52で解読され (DECステージ: 9ナノ秒)、タイミング3において命令実行回路53でアドレスのインクリメント処理が実行され (EXステージ: 9ナノ秒)、タイミング4においてデータキャッシュ6にアクセスされ (MEMステージ: 10ナノ秒)、タイミング5において命令実行回路53で演算結果を転送された上でレジスタに格納される (WBステージ: 5ナノ秒)。EXステージの詳細については、オペランドデータがレジスタ531から読み出されバス532aに載せられ、バス532aを選択するセクタ533の出力を入力とを用いて演算器534でインクリメント処理されて、その演算結果が第1EXラッチ535に格納され、セクタ533の出力が第2EXラッチ536に格納される。MEMステージの詳細については、第1EXラッチ535の出力値はセクタ537に選択されて第1MEMラッチ539に格納されると共に、第2EXラッチ536の出力値はアドレスバス611を介してデータキャッシュ6のキャッシュヒット検出回路61に転送される。キャッシュヒット検出回路61は入力データのキャッシュヒットかキャッシュミスヒットかを判別し、入力アドレスをキャッシュメモリ62に出力する。キャッシュメモリ62は入力アドレスに格納されているデータを読み出し、データをデータバス614を介して中央演算処理装置5に転送する。図7ではキャッシュヒット検出回路61とキャッシュメモリ62とが処理する時間をキャッシュ読み出しと記している。セクタ538はデータキャッシュ6から転送されたデータを選択する。第2MEMラッチ540はセクタ538の出力値を格納する。WBステージの詳細については、第1MEMラッチ539と第2MEMラッチ540とに格納された演算結果及びデータがバス532c及びバス532dを介してレジスタ531に格納される。

【0006】次に命令2の動作をタイミング順に説明する。タイミング2において命令フェッチ回路51によって読み出された命令2 (IFステージ: 7ナノ秒) は、タイミング3において命令解読回路52で解読され (DECステージ: 9ナノ秒) と共にレジスタ干渉検出回路550で命令1とのレジスタ干渉が検出され、タイミング4においてパイプライン処理制御装置54でレジスタ干渉による実行待ちとなるように制御され、タイミング5において命令実行回路53で加算演算が実行され (EXステージ: 9ナノ秒)、タイミング6において演算結果が転送され (MEMステージ: 1ナノ秒)、タイミング7において命令実行回路53で演算結果を転送された上でレジスタに格納される (WBステージ: 5ナノ秒)。EXステージ詳細については、レジスタ干渉検出回路550はMEM

ステージからEXステージへのバイパスがレジスタ干渉に対して有効であることを検出してセレクト541が第2MEMラッチ540を選択するように制御し、オペランドデータがレジスタ531から読出されバス532a及びバス532bに載せられ、バス532bとセレクト541を選択するセレクト533の出力とを入力に用いて演算器534で加算演算されて、その演算結果が第1EXラッチ535に格納される。MEMステージの詳細については、第1EXラッチ535の出力値はセレクト537に選択されて第1MEMラッチ539に格納される。WBステージの詳細については、第1MEMラッチ539に格納された演算結果がバス532cを介してレジスタ531に格納される。

(2) EXステージからEXステージへのバイパスアドレスをインクリメント処理しながらキャッシュからデータをロードし、連続してインクリメント処理したデータを用いて加算を実行する処理を例示する。例示プログラムを以下に示す。

命令1: MOV (A0+), D1

(アドレスA0からデータをロードしながらアドレスA0をインクリメント処理を行い、そのロードデータをD1レジスタに、インクリメント処理を行ったアドレスをA0に格納する)

命令2: ADD D0, A0

(D0レジスタとA0レジスタの加算を行い、その結果をA0レジスタに格納する)

図8に示したタイムチャートを用いて説明する。ここでは、データキャッシュ6にロードするデータを保持すると仮定する。

【0007】はじめに命令1の動作をタイミング順に説明する。タイミング1において命令フェッチ回路51によって読出された命令1 (IFステージ: 7ナノ秒) は、タイミング2において命令解読回路52で解読され (DECステージ: 9ナノ秒)、タイミング3において命令実行回路53でアドレスのインクリメント処理が実行され (EXステージ: 9ナノ秒)、タイミング4においてデータキャッシュ6にアクセスされ (MEMステージ: 10ナノ秒)、タイミング5において命令実行回路53で演算結果を転送された上でレジスタに格納される (WBステージ: 5ナノ秒)。EXステージの詳細については、オペランドデータがレジスタ531から読出されバス532aに載せられ、バス532aを選択するセレクト533の出力を入力とを用いて演算器534でインクリメント処理されて、その演算結果が第1EXラッチ535に格納され、セレクト533の出力が第2EXラッチ536に格納される。MEMステージの詳細については、第1EXラッチ535の出力値はセレクト537に選択されて第1MEMラッチ539に格納されると共に、第2EXラッチ536の出力値はアドレスバス611を介してデータキャッシュ6のキャッシュヒット検出回路61に転送される。キ

ャッシュヒット検出回路61は入力データのキャッシュヒットかキャッシュミスヒットかを判別し、入力アドレスをキャッシュメモリ62に出力する。キャッシュメモリ62は入力アドレスに格納されているデータを出力して、データをデータバス614を介して中央演算処理装置5に転送する。セレクト538はデータキャッシュ6から転送されたデータを選択する。図8ではキャッシュヒット検出回路61とキャッシュメモリ62とが処理する時間をキャッシュ読出しと記している。第2MEMラッチ540はセレクト538の出力値を格納する。WBステージの詳細については、第1MEMラッチ539と第2MEMラッチ540とに格納された演算結果及びデータがバス532c及びバス532dを介してレジスタ531に格納される。

【0008】次に命令2の動作をタイミング順に説明する。タイミング2において命令フェッチ回路51によって読出された命令2 (IFステージ: 7ナノ秒) は、タイミング3において命令解読回路52で解読され (DECステージ: 9ナノ秒) と共にレジスタ干渉検出回路550で命令1とのレジスタ干渉が検出され、タイミング4において命令実行回路53で加算演算が実行され (EXステージ: 9ナノ秒)、タイミング5において演算結果が転送され (MEMステージ: 1ナノ秒)、タイミング6において命令実行回路53で演算結果を転送された上でレジスタに格納される (WBステージ: 5ナノ秒)。EXステージの詳細については、レジスタ干渉検出回路550はEXステージからEXステージへのバイパスがレジスタ干渉に対して有効であることを検出してセレクト541が第1EXラッチ535を選択するように制御し、オペランドデータがレジスタ531から読出されバス532a及びバス532bに載せられ、バス532bとセレクト541を選択するセレクト533の出力とを入力に用いて演算器534で加算演算されて、その演算結果が第1EXラッチ535に格納される。MEMステージの詳細については、第1EXラッチ535の出力値はセレクト537に選択されて第1MEMラッチ539に格納される。WBステージの詳細については、第1MEMラッチ539に格納された演算結果がバス532cを介してレジスタ531に格納される。

【0009】続いて2つ目の従来のデータ処理装置について説明する。図9において、中央演算処理装置7は、IFステージで動作しメモリ (図外) から命令の読出しを行う命令フェッチ回路71と、DECステージで動作し命令フェッチ回路71で読出された命令を解読する命令解読回路72と、EXステージとメモリアクセス第1ステージ (以下、MEM1ステージ) とメモリアクセス第2ステージ (以下、MEM2ステージ) とWBステージとで動作し命令解読回路72によって制御される命令実行回路73と、命令フェッチ回路71と命令解読回路72と命令実行回路73とをパイプライン処理を行うパイプライン処理制

御回路74を備え、上記6つのステージからなる6段パイプライン構造を成している。さらに、命令実行回路73は、演算のオペランドとメモリアクセス時のアドレス及びデータとを格納するレジスタ731と、レジスタ731から読出したデータまたはレジスタ731に格納するデータを載せるバス732a～732cと、バス732aとMEM2ラッチ738の出力値とを選択するセクタ733と、バス732bによって転送されるデータとセクタ733が選択するとデータに基づいて演算を行う演算器734と、クロック同期で演算器734の出力値を保持するEXラッチ735と、クロック同期でセクタ733の出力値を保持するMEM1ラッチ736と、MEM1ラッチ736の出力値とデータキャッシュ8の出力データとを選択するセクタ737と、クロック同期でセクタ737の出力値を保持するMEM2ラッチ738とからなり、EXラッチ735の出力値をデータキャッシュ8へ転送するアドレスバス811と、データキャッシュ8のデータ出力をセクタ737の入力へ転送するデータバス814とを介してデータキャッシュ8と接続する。データキャッシュ8は、アドレスバス811よりアドレスを入力し予めキャッシュメモリ83に保持するデータのアドレスを保持しその入力アドレスと保持アドレスとを比較することによりキャッシュのキャッシュヒットかキャッシュミスヒットかを判別するとともにキャッシュメモリ83にアドレスを出力しキャッシュミスヒットの場合はキャッシュメモリ83と外部メモリ84とにアドレスを出力するとともに入力アドレスを保持アドレスに変更するキャッシュヒット検出回路81と、クロック同期でキャッシュヒット検出回路81から出力されるアドレスを保持するMEM1ラッチ82と、キャッシュヒットの場合MEM1ラッチ82からアドレスを入力しキャッシュヒットの場合そのアドレスのメモリからデータを出力しキャッシュミスヒットの場合外部メモリ84よりデータを入力しそのデータを出力すると共にMEM1ラッチ82からアドレスを入力したアドレスのメモリからデータを書き込むキャッシュメモリ83とからなり、中央演算処理装置7からアドレスをキャッシュヒット検出回路81へ転送するアドレスバス811と、キャッシュヒット検出回路81からアドレスを外部メモリ84へ転送するアドレスバス812と、外部メモリ84からデータをキャッシュメモリ83へ転送するデータバス813と、キャッシュメモリ83からデータを中央演算処理装置7へ転送するデータバス814と接続する。外部メモリ84は、アドレスバス812よりアドレスを入力しそのアドレスのメモリからデータを出力しデータバス813へデータを出力する。

【0010】以上の構成をもつ従来のデータ処理装置について、図10、図11に示すタイムチャートを用いてその動作を説明する。ここでは2つの動作クロックでの動作について、キャッシュメモリからのデータをロード

し、その結果を用いて連続して加算を実施する処理を例示する。例示プログラムを以下に示す。

命令1: MOV (A0), D1

(A0レジスタの値のアドレスに格納されるデータをD1レジスタに格納する)

命令2: ADD D0, D1

(D0レジスタとD1レジスタの加算を行い、その結果をD0レジスタに格納する)

(1) 動作クロックが100メガヘルツの場合

図10に示したタイムチャートを用いて説明する。ここでは、1ステージ10ナノ秒となる。またデータキャッシュ8はロードするデータを保持すると仮定する。

【0011】はじめに命令1の動作をタイミング順に説明する。タイミング1において命令フェッチ回路71によって読み出された命令1 (IFステージ: 7ナノ秒) は、タイミング2において命令解読回路72で解読され (DECステージ: 9ナノ秒)、タイミング3において命令実行回路73でアドレスを讀出され (EXステージ: 5ナノ秒)、タイミング4において命令実行回路73からデータキャッシュ8にアドレスを転送されキャッシュヒットを検出され (MEM1ステージ: 8ナノ秒)、タイミング5においてはデータキャッシュ8でデータを讀出しデータキャッシュ8から命令実行回路73にデータを転送され (MEM2ステージ: 9ナノ秒)、タイミング6において命令実行回路73でデータが転送された上でレジスタに格納される (WBステージ: 5ナノ秒)。EXステージの詳細については、命令によって指示されたアドレスが、レジスタ731から讀出され、バス732aを介して演算器734を通過してEXラッチ735に格納される (5ナノ秒)。MEM1ステージの詳細については、EXラッチ735に格納されたアドレスがアドレスバス811を介してキャッシュヒット検出回路81に転送され (3ナノ秒)、キャッシュヒット検出回路81において入力したアドレスがキャッシュメモリ82に格納されているかどうかを判別されると共に、キャッシュヒット検出回路81を通過してMEM1ラッチ82に格納される (5ナノ秒)。MEM2ステージの詳細については、MEM1ラッチ82に格納されたアドレスをキャッシュメモリ83に入力され、キャッシュメモリ83において入力されたアドレスに格納されるデータを讀出され (5ナノ秒)、このデータはデータバス814を介してセクタ737に転送される (3ナノ秒)。セクタ737はキャッシュメモリ83からのデータを選択し、MEM2ラッチ738はセクタ737の出力を格納する (1ナノ秒)。WBステージの詳細については、MEM2ラッチ738に格納された演算結果がバス732cからレジスタ731に格納される。

【0012】次に命令2の動作をタイミング順に説明する。タイミング2において命令フェッチ回路71によって讀出された命令2 (IFステージ: 7ナノ秒) は、タイミング3において命令解読回路72で解読され (DECス

テージ：9ナノ秒）ると共にパイプライン処理制御回路74で命令1とのレジスタ干渉が検出され、タイミング4及びタイミング5においてパイプライン処理制御回路74でレジスタ干渉による実行待ちとなるように制御され、タイミング6において命令実行回路73で加算演算が実行され（EXステージ：9ナノ秒）、タイミング7において命令実行回路73で演算結果が転送され（MEM1ステージ：0ナノ秒）、タイミング8において命令実行回路73で演算結果が転送され（MEM2ステージ：1ナノ秒）、タイミング9において命令実行回路73で演算結果を転送された上でレジスタに格納される（WBステージ：5ナノ秒）。EXステージの詳細については、オペランドデータがレジスタ731から読出されバス732a及びバス732bに載せられ、パイプライン処理制御回路74はMEM2ステージからEXステージへのバイパスがレジスタ干渉に対して有効であることを検出してセクタ733がMEM2ラッチ738を選択するように制御し、バス732bとセクタ733の出力とを入力に用いて演算器734で加算演算されて、その演算結果がEXラッチ735に格納される。MEM1ステージの詳細については、EXラッチ735に格納された演算結果がMEM1ラッチ736に格納される（このステージに要する時間は無視できるので0ナノ秒とする）。MEM2ステージの詳細については、MEM1ラッチ736に格納された演算結果がセクタ737に選択され、MEM2ラッチ738に格納される（1ナノ秒）。WBステージの詳細については、MEM2ラッチ738に格納された演算結果がバス732cを介してレジスタ731に格納される。

（2）動作クロックが50メガヘルツの場合

図11に示したタイムチャートを用いて説明する。ここでは、1ステージ20ナノ秒となる。またデータキャッシュ8はロードするデータを保持すると仮定する。

【0013】はじめに命令1の動作をタイミング順に説明する。タイミング1において命令フェッチ回路71によって読出された命令1（IFステージ：7ナノ秒）は、タイミング2において命令解読回路72で解読され（DECステージ：9ナノ秒）、タイミング3において命令実行回路73でアドレスを読出され（EXステージ：5ナノ秒）、タイミング4において命令実行回路73からデータキャッシュ8にアドレスを転送されキャッシュヒットを検出され（MEM1ステージ：8ナノ秒）、タイミング5においてはデータキャッシュ8でデータを読出しデータキャッシュ8から命令実行回路73にデータを転送され（MEM2ステージ：9ナノ秒）、タイミング6において命令実行回路73でデータが転送された上でレジスタに格納される（WBステージ：5ナノ秒）。EXステージの詳細については、命令によって指示されたアドレスが、レジスタ731から読出され、バス732aを介して演算器734を通過してEXラッチ735に格納される（5ナノ秒）。MEM1ステージの詳細については、EXラッチ735

に格納されたアドレスがアドレスバス811を介してキャッシュヒット検出回路81に転送され（3ナノ秒）、キャッシュヒット検出回路81において入力したアドレスがキャッシュメモリ83に格納されているかどうかを判別されると共に、キャッシュヒット検出回路81を通過してMEM1ラッチ82に格納される（5ナノ秒）。MEM2ステージの詳細については、MEM1ラッチ82に格納されたアドレスをキャッシュメモリ83に入力され、キャッシュメモリ83において入力されたアドレスに格納されるデータを読出され（5ナノ秒）、このデータはデータバス814を介してセクタ737に転送される（3ナノ秒）。セクタ737はキャッシュメモリ83からのデータを選択し、MEM2ラッチ738はセクタ737の出力を格納する（1ナノ秒）。WBステージの詳細については、MEM2ラッチ738に格納された演算結果がバス732cからレジスタ731に格納される。

【0014】次に命令2の動作をタイミング順に説明する。タイミング2において命令フェッチ回路71によって読出された命令2（IFステージ：7ナノ秒）は、タイミング3において命令解読回路72で解読され（DECステージ：9ナノ秒）ると共にパイプライン処理制御回路74で命令1とのレジスタ干渉が検出され、タイミング4及びタイミング5においてパイプライン処理制御回路74でレジスタ干渉による実行待ちとなるように制御され、タイミング6において命令実行回路73で加算演算が実行され（EXステージ：9ナノ秒）、タイミング7において命令実行回路73で演算結果が転送され（MEM1ステージ：0ナノ秒）、タイミング8において命令実行回路73で演算結果が転送され（MEM2ステージ：1ナノ秒）、タイミング9において命令実行回路73で演算結果を転送された上でレジスタに格納される（WBステージ：5ナノ秒）。EXステージの詳細については、オペランドデータがレジスタ731から読出されバス732a及びバス732bに載せられ、パイプライン処理制御回路74はMEM2ステージからEXステージへのバイパスがレジスタ干渉に対して有効であることを検出してセクタ733がMEM2ラッチ738を選択するように制御し、バス732bとセクタ733の出力とを入力に用いて演算器734で加算演算されて、その演算結果がEXラッチ735に格納される。MEM1ステージの詳細については、EXラッチ735に格納された演算結果がMEM1ラッチ736に格納される（このステージに要する時間は無視できるので0ナノ秒とする）。MEM2ステージの詳細については、MEM1ラッチ736に格納された演算結果がセクタ737に選択され、MEM2ラッチ738に格納される（1ナノ秒）。WBステージの詳細については、MEM2ラッチ738に格納された演算結果がバス732cを介してレジスタ731に格納される。

【0015】また、データキャッシュ8にロードするデータを保持しない場合、外部メモリ84にアクセスする

必要があり、これには中央演算処理装置 7 の 1 ステージに比べ多大なアクセス時間が必要となり、この結果パイプライン処理制御回路 7 4 はキャッシュヒット検出回路 8 1 よりパイプラインロック要求を受けてパイプライン処理を停止させ、セレクトア 7 3 7 にデータが転送されたことを確認して再実行する。

【0016】

【発明が解決しようとする課題】ところで、図 6 に示した従来のデータ処理装置のように、パイプライン処理制御装置にレジスタ干渉を検出するレジスタ干渉検出回路を実装し、この検出結果によって各ステージからのパイパスを決定する。従来例で示した MOV (A0+), D1 の命令直後に A0, D1 の演算を行う場合上記の検出回路によってパイパスを決定するが、多くの命令列はコンパイラによるスケジューリング等を行うことによって、MEM ステージから EX ステージへのパイパスと EX ステージから EX ステージへのパイパスとの一方が他方に比べて偏って使われるようにチューニングすることができる。このような場合、いずれのパイパスを使用するかを検出するレジスタ干渉検出回路を設けてもほとんど機能せず、その分のコスト及び消費電力が無駄になるという問題点がある。

【0017】また、図 9 に示した従来のデータ処理装置のように、キャッシュ等へのメモリアクセスのように処理時間の長い処理に関しては、パイプライン段数を増やすことによって動作クロックが高速化に対応している。しかし動作クロックが低い場合、処理時間が短くなり増やしたパイプライン段数より短い段数で処理できる。このような場合インタロックによる性能劣化を引き起こす問題点がある。さらに、処理時間の長い後段の処理の結果を用いて連続して前段の処理を行う場合、フォワーディングできるパイパスを設けるが、動作クロックが低い場合でも増やしたパイプラインステージの後段からパイパスを設けるために前段の処理を行うまでのインタロックが増えて性能劣化を引き起こす問題点がある。

【0018】本発明はかかる課題に鑑み、データ依存検出手段を設けてパイパスを切り替えることを不要とし、その分のコスト及び消費電力を削減したデータ処理装置を提供することを目的とする。また、キャッシュの動作周波数に応じてパイプライン段数を変化させインタロックによる性能劣化が生じないデータ処理装置を提供することを目的とする。さらに、パイプライン段数を変化させるとともにフォワーディングパスを切り替えることによりインタロック期間が短縮でき性能が一層改善するデータ処理装置を提供することを目的とする。

【0019】

【課題を解決するための手段】この課題を解決するため本発明のデータ処理装置は、パイプライン段数が n 段で機械語命令をパイプライン処理する処理手段と、前記処理手段の中であって、 n 以下の i 段目の処理結果を i 以下の k 段目の入力に転送する第 1 の転送手段と、前記処

理手段の中であって、 n 以下でかつ i より大きい j 段目の処理結果を k 段目の入力に転送する第 2 の転送手段と、前記処理手段の中であって、前記第 1 の転送手段の転送結果と前記第 2 の転送結果との何れかを選択して k 段目の入力とする切り替え手段と、パイプライン処理される命令の k 段目の入力に、前記命令に先行する命令のパイプライン処理における i 段目で決定される内容を必要とする第 1 の状態と、前記命令に先行する命令のパイプライン処理における j 段目で決定される内容を必要とする第 2 の状態とを検出する検出手段と、所定の条件に応じて、前記検出手段が前記第 1 の状態を検出した場合にのみ、前記切り替え手段に対して前記第 1 の転送結果を選択する第 1 の指示を与えるか、または、前記検出手段が前記第 1 および第 2 の状態を検出した場合に、前記切り替え手段に対して前記第 2 の転送結果を選択する第 2 の指示を与える選択制御手段とを備えている。

【0020】ここで、選択制御手段は、前記機械語命令の組合せが、前記第 1 の状態を多く発生させるか、前記第 2 の状態を多く発生させるかを指定する指定手段を備え、前記指定手段により、前記第 1 の状態を多く発生させると指定された場合には、前記切り替え手段に対して前記第 1 の指示を与え、前記第 2 の状態を多く発生させると指定された場合には、前記切り替え手段に対して前記第 2 の指示を与えるように構成してもよい。

【0021】また、指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであるように構成してもよい。

【0022】また、指定手段は、前記機械語命令の組合せが、前記第 1 の状態を多く発生させるか、前記第 2 の状態を多く発生させるかを指示する特定命令の解読または実行に基づいて指定されるように構成してもよい。

【0023】そして、処理手段は、少なくとも、1 つのパイプライン段数で命令フェッチを行う命令フェッチ部と、1 つのパイプライン段数でフェッチされた命令の解読を行う命令解読部と、前段部と後段部の 2 つのパイプライン段数で命令を実行する命令実行部とからなり、第 1 の転送手段は、前記命令実行部の前記前段部の実行結果を前記前段部の入力に転送し、第 2 の転送手段は、前記命令実行部の前記後段部の実行結果を前記前段部の入力に転送し、切り替え手段は、前記命令実行部の前記前段部の実行結果と前記後段部の実行結果との何れかを選択して前記前段部の入力とするように構成してもよい。

【0024】また本発明のデータ処理装置は、キャッシュメモリのアクセスを行う段を含む複数の段からなり、機械語命令をパイプライン処理する処理手段を有するデータ処理装置であって、前記キャッシュメモリのアクセスを行う段の段数が a 段と a より大きい b 段とに変変であり、前記データ処理装置はさらに、処理手段のパイプ

ライン段数を切り替える切り替え手段を備えている。

【0025】ここで、処理手段は、命令フェッチステージ、命令解読ステージ及び命令実行ステージの少なくとも3段のパイプライン段数を持ち、前記キャッシュメモリは前記命令実行ステージにおいてアクセスされるように構成してもよい。

【0026】そして、前記キャッシュメモリのアクセスの処理内容は、シーケンシャルな b 個の部分処理に分割可能であり、前記キャッシュメモリを a 段でアクセスする場合には b 個の部分処理のうちの $(b-a)$ 個を隣合う他の a 個の部分処理と同一の段で処理し、前記キャッシュメモリを b 段でアクセスする場合には各部分処理をそれぞれ1段で処理するように構成してもよい。

【0027】また、前記各段はそれぞれ個別の処理部が実行し、それら処理部の少なくとも1つは、前記部分処理を実行する複数の部分処理部と、部分処理部と次段の部分処理部との間に設けられ、前記キャッシュメモリを a 段でアクセスする場合には当該部分処理結果を透過出力し、前記キャッシュメモリを b 段でアクセスする場合には当該部分処理結果を保持し次の段に出力する複数の透過保持部とを備えるように構成してもよい。

【0028】さらに、各透過保持部は、部分処理部からの部分処理結果を保持するパイプラインラッチと、前記キャッシュメモリを a 段でアクセスする場合は当該部分処理結果を選択し、前記キャッシュメモリを b 段でアクセスする場合はパイプラインラッチの出力を選択して次段の部分処理部に出力するセレクタとを有するように構成してもよい。

【0029】そして、前記部分処理の1つにタグメモリ部のアクセスを含み、前記部分処理の他の1つにデータメモリ部のアクセスを含むように構成してもよい。

【0030】そして、データ処理装置は、さらに、前記キャッシュメモリを a 段でアクセスする場合の前記アクセスの最終段の処理結果を、前記処理手段の予め定められた段の入力に転送する第1の転送手段と、前記キャッシュメモリを b 段でアクセスする場合の前記アクセスの最終段の処理結果を、前記予め定められた段の入力に転送する第2の転送手段と、パイプライン処理される命令の前記予め定められた段の入力が、前記命令に先行する命令の前記キャッシュメモリのアクセス結果を必要とする状態を検出する検出手段とを備え、前記検出手段が前記状態を検出した場合に、前記切り替え手段が切り替えるパイプライン段数に対応して前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択し、前記予め定められた段の入力とするように構成してもよい。

【0031】そして、切り替え手段は、データ処理装置が第1の動作環境にあるか第2の動作環境にあるかを指定する指定手段と、第1の動作環境にあると指定された場合には、前記キャッシュメモリを a 段でアクセスさせ、第2の動作環境にあると指定された場合には、前記

キャッシュメモリを b 段でアクセスさせるパイプライン制御手段とを備え、前記第1の動作環境にあるか第2の動作環境にあるかは、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されるように構成してもよい。

【0032】さらに、指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであるように構成してもよい。

【0033】また本発明のデータ処理装置は、レジスタを有し、機械語命令をパイプライン処理する第1処理手段と、前記第1処理手段による命令の処理の中で、キャッシュメモリをアクセスする部分を含む処理をパイプライン処理する、パイプライン段数が a 段と a より大きい b 段とに可変であり、 a 段又は b 段の何れかの段数で前記処理をパイプライン処理する第2処理手段と、第2処理手段のパイプライン段数を切り替える切り替え手段とを備え、前記第1処理手段は、第2処理手段が a 段パイプライン処理を行う場合には、所定段で第2処理手段の実行結果を獲得し、第2処理手段が b 段パイプライン処理を行う場合には、第1処理手段は、前記所定段より $(b-a)$ 段あとの段で第2処理手段の実行結果を獲得し、獲得した実行結果を前記レジスタに格納するように構成される。

【0034】ここで、データ処理装置は、さらに前記キャッシュメモリをアクセスするために必要な情報を第1処理手段から第2処理手段に伝達する第1バスと、第2処理手段による前記キャッシュメモリのアクセス結果を第2処理手段から第1処理手段に伝達する第2バスとを備え、前記第1処理手段は、前記情報を第1バスを介して第2処理手段に送信し、第2処理手段の実行結果を第2バスを介して獲得するように構成してもよい。

【0035】そして、データ処理装置は、さらに、前記第2処理手段が a 段パイプライン処理を行う場合の前記第2処理手段の最終段の処理結果を、前記第1の処理手段の予め定められた段の入力に転送する第1の転送手段と、前記第2処理手段が b 段パイプライン処理を行う場合の前記第2処理手段の最終段の処理結果を、前記予め定められた段の入力に転送する第2の転送手段と、パイプライン処理される命令の前記予め定められた段の入力が、前記命令に先行する命令の前記第2処理手段の最終段の処理結果を必要とする状態を検出する検出手段とを備え、前記検出手段が前記状態を検出した場合に、前記切り替え手段が切り替えるパイプライン段数に対応して前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択し、前記予め定められた段の入力とするように構成してもよい。

【0036】そして、切り替え手段は、データ処理装置

が第1の動作環境にあるか第2の動作環境にあるかを指定する指定手段と、第1の動作環境にあると指定された場合には、第2処理手段をa段で実行させ、第2の動作環境にあると指定された場合には、第2処理手段をb段で実行させるパイプライン制御手段とを備え、前記第1の動作環境にあるか第2の動作環境にあるかは、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されるように構成してもよい。

【0037】ここで、指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであるように構成してもよい。

【0038】さらに本発明のデータ処理装置は、パイプライン段数がn段とnより大きいm段とに可変であり、n段又はm段の何れかの段数で命令をパイプライン処理する処理手段と、前記処理手段のパイプライン段数を切り替える切り替え手段と、前記処理手段の中であって、n以下のi段目の処理結果をi以下のk段目の入力に転送する第1の転送手段と、前記処理手段の中であって、 $(i+m-n)$ 段目の処理結果をk段目の入力に転送する第2の転送手段と、パイプライン処理される命令のk段目の入力、前記処理手段がn段パイプライン処理を行う場合、前記命令に先行する命令のパイプライン処理におけるi段目で決定される内容を必要とするか、または、前記処理手段がm段パイプライン処理を行う場合、前記命令に先行する命令のパイプライン処理における $(i+m-n)$ 段目で決定される内容を必要とする状態を検出する検出手段と、前記検出手段が前記状態を検出した場合に、前記切り替え手段が切り替えるパイプライン段数に対応して前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択し、前記処理手段のk段目の入力とするように構成される。

【0039】ここで、切り替え手段は、データ処理装置が第1の動作環境にあるか第2の動作環境にあるかを指定する指定手段と、第1の動作環境にあると指定された場合には、前記処理手段をn段で実行させ、第2の動作環境にあると指定された場合には、前記処理手段をm段で実行させるパイプライン制御手段とを備え、前記第1の動作環境にあるか第2の動作環境にあるかは、データ処理装置に供給される動作クロックの周波数と、データ処理装置に供給される電源電圧との何れかに応じて区別されるように構成してもよい。

【0040】また、指定手段は、その指定内容を示すフラグを保持するフリップフロップ、その指定内容を示すデータを保持するレジスタ、その指定内容を示す論理値を入力する入力端子、その指定内容を示す内部信号の何れかであるように構成してもよい。

【0041】

【発明の実施の形態】以下、本発明の実施の形態について、図1から図5を用いて説明する。

【0042】図1は、本発明の第一の実施の形態におけるデータ処理装置の構成を表すブロック図を示す。

【0043】本データ処理装置は、中央演算処理装置1とデータキャッシュ2と外部メモリ23とから構成される。同図において、中央演算処理装置1はIFステージ、DECステージ、EXステージ、MEMステージ、WBステージの5つのステージからなる5段パイプライン構造を成している。命令フェッチ回路11はIFステージで動作しメモリ(図外)から命令の読出しを行う。命令解読回路12はDECステージで動作し命令フェッチ回路11で読出された命令を解読する。命令実行回路13はEXステージとMEMステージとWBステージとで動作し命令解読回路12によって制御され、演算のオペランドを格納するレジスタ131と、レジスタ131から読出したデータまたはレジスタ131に格納するデータを載せるバス132a~132dと、バス132aとセクタ141の出力値とを選択するセクタ133と、バス132bによって転送されるデータとセクタ133の出力値とを用いて演算を行う演算器134と、クロック同期で演算器134の出力値を保持する第1EXラッチ135と、クロック同期で演算器134の出力値を保持する第2EXラッチ136と、第1EXラッチ135の出力値とデータキャッシュ2の出力データとを選択するセクタ137と、第1EXラッチ135の出力値とデータキャッシュ2の出力データとを選択するセクタ138と、クロック同期でセクタ137の出力値を保持する第1MEMラッチ139と、クロック同期でセクタ138の出力値を保持する第2MEMラッチ140と、第1EXラッチ135の出力値と第2MEMラッチ140の出力値とを選択するセクタ141とからなる。パイプライン処理制御回路14は命令フェッチ回路11と命令解読回路12と命令実行回路13とをパイプライン処理を行う。バイパス切替フラグ15は、本中央演算処理装置1に対してどのステージからバイパスするデータを転送するかを示すフラグを保持する。本実施の形態ではEXステージからバイパスするときにフラグがセットされ、MEMステージからバイパスするときにフラグがクリアされるものとする。データキャッシュ2は、アドレスバス21よりアドレスを入力しキャッシュメモリ22に保持するデータのアドレスを保持しその入力アドレスと保持アドレスとを比較することによりキャッシュヒットかキャッシュミスヒットかを判別するとともにキャッシュメモリ22にアドレスを出力しキャッシュミスヒットの場合はキャッシュメモリ22と外部メモリ23とにアドレスを出力するとともに入力アドレスを保持アドレスに変更するキャッシュヒット検出回路21と、キャッシュヒットの場合キャッシュヒット検出回路21からアドレスを入力しキャッシュヒットの場合そのアドレスのメモリからデータを出力しキャッ

シュミスヒットの場合外部メモリ23よりデータを入力しそのデータを出力すると共にキャッシュヒット検出回路21からアドレスを入力したアドレスのメモリからデータを書き込むキャッシュメモリ22とからなり、中央演算処理装置1からアドレスをキャッシュヒット検出回路21へ転送するアドレスバス211と、キャッシュヒット検出回路21からアドレスを外部メモリ23へ転送するアドレスバス212と、外部メモリ23からデータをキャッシュメモリ22へ転送するデータバス213と、キャッシュメモリ22からデータを中央演算処理装置1へ転送するデータバス214と接続する。外部メモリ23は、アドレスバス212よりアドレスを入力しそのアドレスのメモリからデータを出力しデータバス213へデータを出力する。

【0044】以上のように構成された本発明の第一の実施の形態による情報処理装置について、その動作を説明する。ここではアドレスをインクリメント処理しながらキャッシュからデータをロードし、連続して加算を実行する処理を例示する。ここでは予めコンパイラによるスケジューリングによってEXステージからのフォワーディングが使用されるよう偏って命令を配置する。また、データキャッシュ2はロードするデータを保持すると仮定する。例示プログラムを以下に示す。

命令1: MOV (A0+), D1

(アドレスA0からデータをロードしながらアドレスA0をインクリメント処理を行い、そのロードデータをD1レジスタに、インクリメント処理を行ったアドレスをA0に格納する)

命令2: ADD D0, A0

(D1レジスタとA0レジスタの加算を行い、その結果をA0レジスタに格納する)EXステージからバイパスするときの動作について説明する。この場合バイパス切替フラグ15はフラグがセットされる。図2に示したタイムチャートを用いて説明する。

【0045】(タイミング1)

命令1: 命令フェッチ回路11は命令を読出す(処理時間は7ナノ秒)。

【0046】(タイミング2)

命令1: 読出された命令が命令解読回路12で解読される(同9ナノ秒)。

命令2: 命令フェッチ回路11は命令を読出す(同7ナノ秒)。

【0047】(タイミング3)

命令1: 命令によって指示されたオペランドデータがレジスタ131から読出されバス132aに載せられ、バス132aを選択するセクタ133の出力を入力とを用いて演算器134でインクリメント処理されて、その演算結果が第1EXラッチ135に格納され、セクタ133の出力が第2EXラッチ136に格納される(同9ナノ秒)。

命令2: 読出された命令が命令解読回路12で解読される(同9ナノ秒)。

【0048】(タイミング4)

命令1: 第1EXラッチ135の出力値はセクタ137に選択されて第1MEMラッチ139に格納されると共に、第2EXラッチ136の出力値はアドレスバス211を介してデータキャッシュ2のキャッシュヒット検出回路21に転送される。キャッシュヒット検出回路21は入力データのキャッシュヒットかキャッシュミスヒットかを判別し、入力アドレスをキャッシュメモリ22に出力する。キャッシュメモリ22は入力アドレスに格納されているデータを出力して、データをデータバス214を介して中央演算処理装置1に転送する。セクタ138はデータキャッシュ2から転送されたデータを選択する。図2ではキャッシュヒット検出回路21とキャッシュメモリ22とが処理する時間をキャッシュ読出しと記している。第2MEMラッチ140はセクタ138の出力値を格納する(同10ナノ秒)。

命令2: バイパス切替フラグ15がセットされているので、第1EXラッチ135の出力がセクタ141に選択され、オペランドデータがレジスタ131から読出されバス132a及びバス132bに載せられ、セクタ133がセクタ141の出力を選択され、演算器134がバス132bとセクタ133の出力とを入力に用いて加算演算されて、その演算結果が第1EXラッチ135に格納される(同9ナノ秒)。

【0049】(タイミング5)

命令1: 第1MEMラッチ139と第2MEMラッチ140とに格納された演算結果及びデータがバス132c及びバス132dを介してレジスタ131に格納される(同5ナノ秒)。

命令2: 第1EXラッチ135の演算結果はセクタ137に選択されて第1MEMラッチ139に格納される(同1ナノ秒)。

【0050】(タイミング6)

命令2: 第1MEMラッチ139に格納された演算結果がバス132cを介してレジスタ131に格納される(同5ナノ秒)。

【0051】このように、予めスケジューリングによってEXステージからのフォワーディングが有効となるように命令を配置されているためにレジスタ干渉検出回路によるバイパス指定をする必要がないのでこれに必要なハードウェアを削減することができる。またここではEXステージからのフォワーディングが有効となるように命令を配置しEXステージからEXステージへのバイパスを用いたが、同様に予めスケジューリングによってMEMステージからのフォワーディングが有効となるように命令を配置し、MEMステージからEXステージへのバイパスを用いてもレジスタ干渉検出回路によるバイパス指定をする必要がないのでこれに必要なハードウェアを削減すること

ができる。

【0052】図3は、本発明の第二の実施の形態におけるデータ処理装置の構成を表すブロック図を示す。

【0053】本データ処理装置は、中央演算処理装置3とデータキャッシュ4と外部メモリ45とから構成される。同図において、中央演算処理装置3はIFステージ、DECステージ、EXステージ、MEM1ステージ、MEM2ステージ、WBステージの6つのステージからなる6段パイプライン構造を成している。命令フェッチ回路31はIFステージで動作しメモリ（図外）から命令の読出しを行う。命令解読回路32はDECステージで動作し命令フェッチ回路31で読出された命令を解読する。命令実行回路33はEXステージとMEM1ステージとMEM2ステージとWBステージとで動作し命令解読回路32によって制御され、演算のオペランドとメモリアクセス時のアドレス及びデータを格納するレジスタ331と、レジスタ331から読出したデータまたはレジスタ331に格納するデータを載せるバス332a～332cと、バス332aとセレクト340の出力値とを選択するセレクト333と、バス332bによって転送されるデータとセレクト333の出力値とを用いて演算を行う演算器334と、レジスタ331よりデータを読出されてから1動作クロック後に演算器334の出力値を保持するEXラッチ335と、EXラッチ335の出力値とデータキャッシュ4の出力データとを選択するセレクト336と、クロック同期でセレクト336の出力値を保持するMEM1ラッチ337と、MEM1ラッチ337の出力値とデータキャッシュ4の出力データとを選択するセレクト338と、クロック同期でセレクト338の出力値を保持するMEM2ラッチ339と、高速ピッチフラグ35が0のときMEM1ラッチ337の出力値を選択し高速ピッチフラグ35が1のときMEM2ラッチ339の出力値を選択するセレクト340とからなり、EXラッチ335の出力値をデータキャッシュ4へ転送するアドレスバス411と、データキャッシュ4のデータ出力をセレクト336とセレクト338の入力へ転送するデータバス414とを介してデータキャッシュ4と接続する。

【0054】パイプライン処理制御回路34は命令フェッチ回路31と命令解読回路32と命令実行回路33とをパイプライン処理を行う。高速ピッチフラグ35は、本中央演算処理装置3に供給されている動作クロックの周波数が、高速クロックか低速クロックかを示すフラグを保持する。本実施の形態では動作クロックの周波数が50メガヘルツより高いときにフラグがセットされ、50メガヘルツ以下のときクリアされるものとする。データキャッシュ4は、アドレスバス411よりアドレスを入力しキャッシュメモリ44に保持するデータのアドレスを保持しその入力アドレスと保持アドレスとを比較することによりキャッシュヒットかキャッシュミスヒットかを判別するとともにアドレスをMEM1ラッチ42とセ

レクト43とに出力しキャッシュミスヒットの場合はキャッシュメモリ44と外部メモリ45とにアドレスを出力するとともに入力アドレスを保持アドレスに変更するキャッシュヒット検出回路41と、クロック同期でキャッシュヒット検出回路41の出力アドレスを保持するMEM1ラッチ42と、高速ピッチフラグ35が0のときキャッシュヒット検出回路41の出力アドレスを選択し高速ピッチフラグ35が1のときMEM1ラッチ42の出力アドレスを選択するセレクト43と、キャッシュヒットの場合セレクト43からの出力アドレスを入力しキャッシュヒットの場合そのアドレスのメモリからデータを出力しキャッシュミスヒットの場合外部メモリ45よりデータを入力しそのデータを出力すると共にセレクト43からの出力アドレスを入力したアドレスのメモリからデータを書き込むキャッシュメモリ44とからなり、中央演算処理装置3からアドレスをキャッシュヒット検出回路41へ転送するアドレスバス411と、キャッシュヒット検出回路41からアドレスを外部メモリ45へ転送するアドレスバス412と、外部メモリ45からデータをキャッシュメモリ44へ転送するデータバス413と、キャッシュメモリ44からデータを中央演算処理装置3へ転送するデータバス414と接続する。外部メモリ45は、アドレスバス412よりアドレスを入力しそのアドレスのメモリからデータを出力しデータバス413へデータを出力する。

【0055】以上のように構成された本発明の第二の実施の形態による情報処理装置について、クロック周波数が低速の場合の高速の場合とに分けてその動作を説明する。ここでは加算を連続で実行する処理を例示する。例示プログラムを以下に示す。

命令1：MOV (A0), D1

(A0レジスタの値のアドレスに格納されるデータをD1レジスタに格納する)

命令2：ADD D0, D1

(D0レジスタとD1レジスタの加算を行い、その結果をD1レジスタに格納する)

なお、データキャッシュ4はロードするデータを保持すると仮定する。

(1) クロック周波数が50メガヘルツを超え100メガヘルツ以下の場合

図4はクロックの周波数が100メガヘルツ、即ちマシンサイクルが10ナノ秒で動作する例を示している。この場合高速ピッチフラグ35はセットされている。命令実行回路33のメモリアクセスはMEM2ステージで処理が完了する。同図は、パイプラインのIFステージ、DECステージ、EXステージ、MEM1ステージ、MEM2ステージ、WBステージの処理時間とデータキャッシュの処理時間をマシンサイクル毎に示している。

【0056】(タイミング1)

命令1：命令フェッチ回路31は命令を読出す（処理時

間は7ナノ秒)。

【0057】(タイミング2)

命令1: 読出された命令が命令解読回路32で解読される(同9ナノ秒)。

命令2: 命令フェッチ回路31は命令を読出す(同7ナノ秒)。

【0058】(タイミング3)

命令1: 命令によって指示されたメモリアクセス時のアドレスデータが、レジスタ331から読出され、バス332aを介し、セクタ333においてバス332aを選択されて、EXラッチ335に格納される(同5ナノ秒)。

命令2: 読出された命令が命令解読回路32で解読される(同9ナノ秒)。

【0059】(タイミング4)

命令1: EXラッチ335に格納されたアドレスがアドレスバス411を介してデータキャッシュ4のキャッシュヒット検出回路41に転送される。キャッシュヒット検出回路41において入力したアドレスがキャッシュメモリ44に格納されているかどうかを判別されると共に、キャッシュヒット検出回路41を通過してMEM1ラッチ42に格納される(同8ナノ秒)。キャッシュヒット検出回路41は入力データのキャッシュヒットかキャッシュミスヒットかを判別し、入力アドレスをキャッシュメモリ44に出力する。キャッシュメモリ44は入力アドレスに格納されているデータを出力中でこのステージが終了する。セクタ336はデータキャッシュ4から転送されたデータを選択するがこのデータは任意の値を持つ。MEM1ラッチ337はセクタ336の出力値(任意データ)に格納される(同8ナノ秒)。

命令2: 入力データが未だメモリアクセス中なので演算実行待ちにされる。

【0060】(タイミング5)

命令1: 高速ピッチフラグ35が1なのでセクタ43はMEM1ラッチ42に格納されたアドレスを選択し、キャッシュメモリ44においてセクタ43より入力されたアドレスに格納されるデータが読出され、このデータはデータバス414を介して中央演算処理装置3に転送される。セクタ338はデータキャッシュ4からのデータを選択し、MEM2ラッチ339はセクタ338の出力データを格納する(同10ナノ秒)。

命令2: 高速ピッチフラグ35がセットされているので、パイプライン制御回路34により命令実行回路33は、入力データが未だメモリアクセス中なので演算実行待ちにされる。

【0061】(タイミング6)

命令1: MEM2ラッチ339に格納されたデータがバス332cからレジスタ331に格納される(同5ナノ秒)。

命令2: 高速ピッチフラグ35がセットされているの

で、パイプライン制御回路34により命令実行回路33は、MEM2ラッチ339に格納されているデータをバイパスしセクタ340に転送され、セクタ340は高速ピッチフラグ15の値1によりMEM2ラッチ339を選択し、命令によって指示されたオペランドデータが、レジスタ331から読出され、バス332aとセクタ340の出力値を選択するセクタ333の出力とを入力とを用いて演算器334で加算されてその演算結果がEXラッチ335に格納される(同9ナノ秒)。

【0062】(タイミング7)

命令2: EXラッチ335に格納された演算結果をセクタ336に転送され、セクタ336はEXラッチ335の出力値を選択し、セクタ336の出力値はMEM1ラッチ337に格納される(同1ナノ秒)。

【0063】(タイミング8)

命令2: MEM1ラッチ337に格納された演算結果をセクタ338に転送され、セクタ338はMEM1ラッチ337の出力値を選択し、セクタ336の出力値はMEM2ラッチ339に格納される(同1ナノ秒)。

【0064】(タイミング9)

命令2: MEM1ラッチ337に格納された演算結果がバス332cからレジスタ331に格納される(同5ナノ秒)。

(2) クロック周波数が50メガヘルツ以下(低速)の場合

図5に示したように、クロックの周波数が50メガヘルツ、即ちマシンサイクルが20ナノ秒で動作する例を示している。この場合高速ピッチフラグ35はクリアされている。命令実行回路33のメモリアクセスはMEM1ステージで演算処理が完了する。同図は、メモリアクセスの前後のパイプラインのEXステージ、MEM1ステージ、MEM2ステージ、WBステージの処理時間とデータキャッシュの処理時間をマシンサイクル毎に示している。

【0065】(タイミング1)

命令1: 命令フェッチ回路31は命令を読出す(処理時間は7ナノ秒)。

【0066】(タイミング2)

命令1: 読出された命令が命令解読回路32で解読される(同9ナノ秒)。

命令2: 命令フェッチ回路31は命令を読出す(同7ナノ秒)。

【0067】(タイミング3)

命令1: 命令によって指示されたメモリアクセス時のアドレスデータが、レジスタ331から読出され、バス332aとバス332bを選択するセクタ333の出力と入力とを用いて演算器334を転送してEXラッチ335に格納される(同5ナノ秒)。

命令2: 読出された命令が命令解読回路32で解読される(同9ナノ秒)。

【0068】(タイミング4)

命令1: EXラッチ335の出力値はアドレスバス411を介してデータキャッシュ4のキャッシュヒット検出回路41に転送される。キャッシュヒット検出回路41において入力したアドレスがキャッシュメモリ44に格納されているかどうかを判別されると共に、キャッシュヒット検出回路41を通過し、セクタ43において高速ピッチフラグ35が0なのでキャッシュヒット検出回路41から出力されたアドレスが選択され、キャッシュメモリ44においてセクタ43より入力されたアドレスに格納されるデータを読み出される。キャッシュメモリ44の出力データがデータバス414を介して中央演算処理装置3のセクタ336に転送される。セクタ336はデータキャッシュ4から転送されたデータを選択する。MEM1ラッチ337はセクタ336の出力値に格納される(同18ナノ秒)。

命令2: 入力データが未だメモリアクセス中なので演算実行待ちにされる。

【0069】(タイミング5)

命令1: セクタ338においてデータキャッシュ4から転送されたデータが選択され、MEM2ラッチ339に格納される(同1ナノ秒)。

命令2: 高速ピッチフラグ35がクリアされているので、パイプライン制御回路34により命令実行回路33は、MEM1ラッチ337に格納されているデータをバイパスしセクタ340に転送され、セクタ340は高速ピッチフラグ35の値0によりMEM1ラッチ337を選択し、命令によって指示されたオペランドデータが、レジスタ331から読出され、バス332aとセクタ340の出力値を選択するセクタ333の出力と入力とを用いて演算器334で加算されてその演算結果がEXラッチ335に格納される(同9ナノ秒)。

【0070】(タイミング6)

命令1: MEM2ラッチ339に格納されたデータがバス332cからレジスタ331に格納される(同5ナノ秒)。

命令2: EXラッチ335に格納された演算結果をセクタ336に転送され、セクタ336はEXラッチ335の出力値を選択し、セクタ336の出力値はMEM1ラッチ337に格納される(同1ナノ秒)。

【0071】(タイミング7)

命令2: MEM1ラッチ337に格納された演算結果をセクタ338に転送され、セクタ338はMEM1ラッチ337の出力値を選択し、セクタ336の出力値はMEM2ラッチ339に格納される(同1ナノ秒)。

【0072】(タイミング8)

命令2: MEM1ラッチ337に格納された演算結果がバス332cからレジスタ331に格納される(同5ナノ秒)。

【0073】以上のように本発明の第二の実施の形態によれば、高速ピッチフラグ35をセットすることによ

り、キャッシュの動作周波数に応じてパイプライン段数を変化させインタロックによる性能劣化が生じないようにすることができる。さらに、パイプライン段数を変化させるとともにフォワーディングパスを切り替えることによりインタロック期間が短縮でき性能を一層改善することができる。

【0074】なお、本発明の第二の実施の形態において、MEM2ステージとWBステージを1つのステージで行ってもよい。この場合パイプライン段数は5となり、クロック周波数が50メガヘルツを超える場合はWBステージを1マシンサイクルだけ伸張して2マシンサイクルで完結するようにしてもよい。

【0075】また、本発明の第一の実施の形態では、バイパスを切り替えるセクタ141はバイパス切替フラグ15によって切り替えているが、この切り替え方法はパイプライン処理制御回路14の内部信号によって切り替えてもよいし、外部端子で切り替えてもよいし、またバイパスが必要な特定命令によって切り替えてもよい。

【0076】また、以上の本発明の実施の形態では、いずれもパイプラインにおける実行ステージの処理時間が他のステージに比べて長くなる場合について述べているが、律則するステージが実行ステージのほか、命令解読ステージを含めいかなるステージであっても本発明が応用可能であることは言うまでもない。

【0077】また、上記実施の形態では、高速ピッチフラグ35は、動作クロックの周波数が所定の周波数(50MHz)を越えるか以下かにより設定された。これ以外にも供給される電源電圧値に応じて設定してもよい。というのは、一般に電源電圧が高いと回路の遅延時間が小さく、低いと大きくなるので、例えばデータ処理装置の電源電圧が5Vの場合と3Vの場合とで高速ピッチフラグ35の設定を使い分けられよい。

【0078】

【発明の効果】以上のように本発明に係るデータ処理装置は、パイプライン段数がn段で機械語命令をパイプライン処理する処理手段と、前記処理手段の中であって、n以下のi段目の処理結果をi以下のk段目の入力に転送する第1の転送手段と、前記処理手段の中であって、n以下でかつiより大きいj段目の処理結果をk段目の入力に転送する第2の転送手段と、前記処理手段の中であって、前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択してk段目の入力とする切り替え手段と、パイプライン処理される命令のk段目の入力、前記命令に先行する命令のパイプライン処理におけるi段目で決定される内容を必要とする第1の状態と、前記命令に先行する命令のパイプライン処理におけるj段目で決定される内容を必要とする第2の状態とを検出する検出手段と、所定の条件に応じて、前記検出手段が前記第1の状態を検出した場合にのみ、前記切り替え手段に対して前記第1の転送結果を選択する第1の指示を

与えるか、または、前記検出手段が前記第1および第2の状態を検出した場合に、前記切り替え手段に対して前記第2の転送結果を選択する第2の指示を与える選択制御手段とを備える。この構成によれば、データの依存性を検出して第1の転送手段と第2の転送手段とを切り替える手段が不要になり、その分のハードウェアコスト及び消費電力が削減できる。また、第1の転送手段と第2の転送手段とのいずれかが他に比べて遅延時間の長い、いわゆるクリティカルパスであることが判明した場合、意図的にその転送手段を利用しないように設定することで動作周波数の向上が図れる。

【0079】また、本発明に係るデータ処理装置は、キャッシュメモリのアクセスを行う段を含む複数の段からなり、機械語命令をパイプライン処理する処理手段を有するデータ処理装置であって、前記キャッシュメモリのアクセスを行う段の段数がa段とaより大きいb段とに可変であり、前記データ処理装置はさらに、処理手段のパイプライン段数を切り替える切り替え手段を備える。この構成によれば、キャッシュメモリのアクセスをb段にすることで動作周波数が向上する。また、動作周波数が低い場合は、キャッシュメモリのアクセスをa段にすることによりデータ依存によるインタロック期間が短縮でき性能が改善される。

【0080】さらに、本発明に係るデータ処理装置は、レジスタを有し、機械語命令をパイプライン処理する第1処理手段と、前記第1処理手段による命令の処理の中で、キャッシュメモリアクセスする部分を含む処理をパイプライン処理する、パイプライン段数がa段とaより大きいb段とに可変であり、a段又はb段の何れかの段数で前記処理をパイプライン処理する第2処理手段と、第2処理手段のパイプライン段数を切り替える切り替え手段とを備え、前記第1処理手段は、第2処理手段がa段パイプライン処理を行う場合には、所定段で第2処理手段の実行結果を獲得し、第2処理手段がb段パイプライン処理を行う場合には、第1処理手段は、前記所定段より(b-a)段あとの段で第2処理手段の実行結果を獲得し、獲得した実行結果を前記レジスタに格納するように構成する。この構成によれば、第2処理手段をb段にすることで動作周波数が向上する。また、動作周波数が低い場合は、第2処理手段をa段にすることによりデータ依存によるインタロック期間が短縮でき性能が改善される。また、前記第2処理手段を前記第1処理手段と並列に設けているため、前記第1処理手段に対して前記第2処理手段を容易に着脱することができる。そのために設計工数が削減されコスト低下につながる。

【0081】そして、本発明に係るデータ処理装置は、パイプライン段数がn段とnより大きいm段とに可変であり、n段又はm段の何れかの段数で命令をパイプライン処理する処理手段と、前記処理手段のパイプライン段数を切り替える切り替え手段と、前記処理手段の中にあ

って、n以下のi段目の処理結果をi以下のk段目の入力に転送する第1の転送手段と、前記処理手段の中にあつて、(i+m-n)段目の処理結果をk段目の入力に転送する第2の転送手段と、パイプライン処理される命令のk段目の入力に、前記処理手段がn段パイプライン処理を行う場合の、前記命令に先行する命令のパイプライン処理におけるi段目で決定される内容を必要とするか、または、前記処理手段がm段パイプライン処理を行う場合の、前記命令に先行する命令のパイプライン処理における(i+m-n)段目で決定される内容を必要とする状態を検出する検出手段と、前記検出手段が前記状態を検出した場合に、前記切り替え手段が切り替えるパイプライン段数に対応して前記第1の転送手段の転送結果と前記第2の転送結果との何れかを選択し、前記処理手段のk段目の入力とするように構成する。この構成によれば、動作周波数が低い場合に、パイプライン段数をn段にするとともに前記第2の転送手段ではなく前記第1の転送手段を用いることにより、さらにインタロック期間が短縮でき性能が一層改善される。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態におけるデータ処理装置の構成を示すブロック図

【図2】同実施形態によるデータ処理装置の動作タイミング図

【図3】本発明の第二の実施の形態におけるデータ処理装置の構成を示すブロック図

【図4】同実施形態におけるデータ処理装置の動作タイミング図

【図5】同動作タイミング図

【図6】従来のデータ処理装置の構成を示すブロック図

【図7】従来のデータ処理装置の動作タイミング図

【図8】同動作タイミング図

【図9】従来のデータ処理装置の構成を示すブロック図

【図10】従来のデータ処理装置の動作タイミング図

【図11】同動作タイミング図

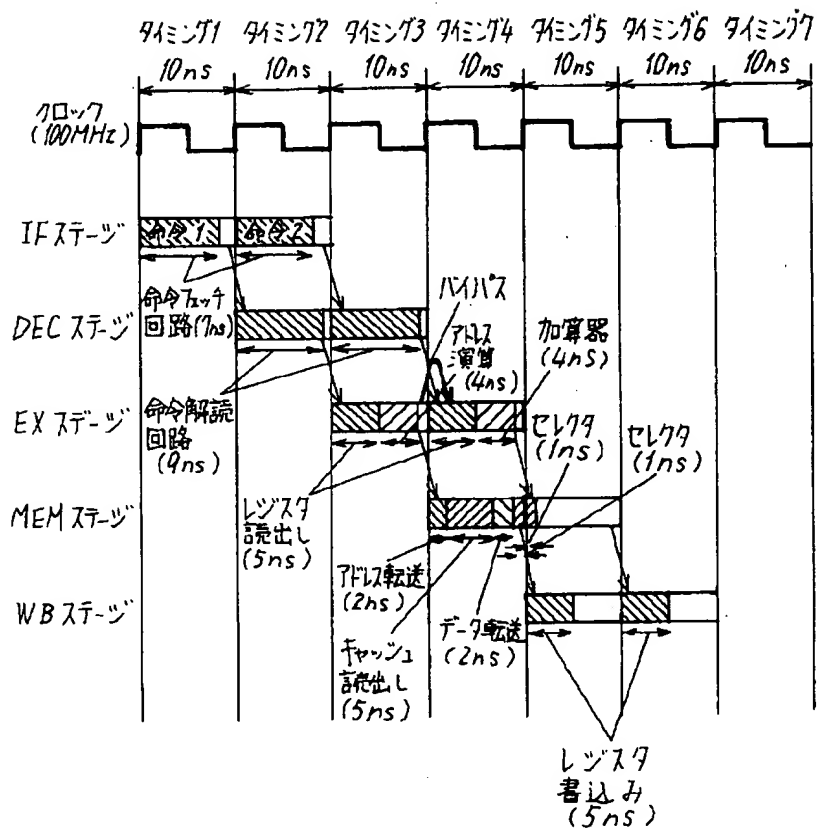
【符号の説明】

- 1 中央演算処理装置
- 2 データキャッシュ
- 3 中央演算処理装置
- 4 データキャッシュ
- 11 命令フェッチ回路
- 12 命令解読回路
- 13 命令実行回路
- 14 パイプライン処理制御回路
- 15 バイパス切替フラグ
- 21 キャッシュヒット検出回路
- 22 キャッシュメモリ
- 23 外部メモリ
- 31 命令フェッチ回路
- 32 命令解読回路

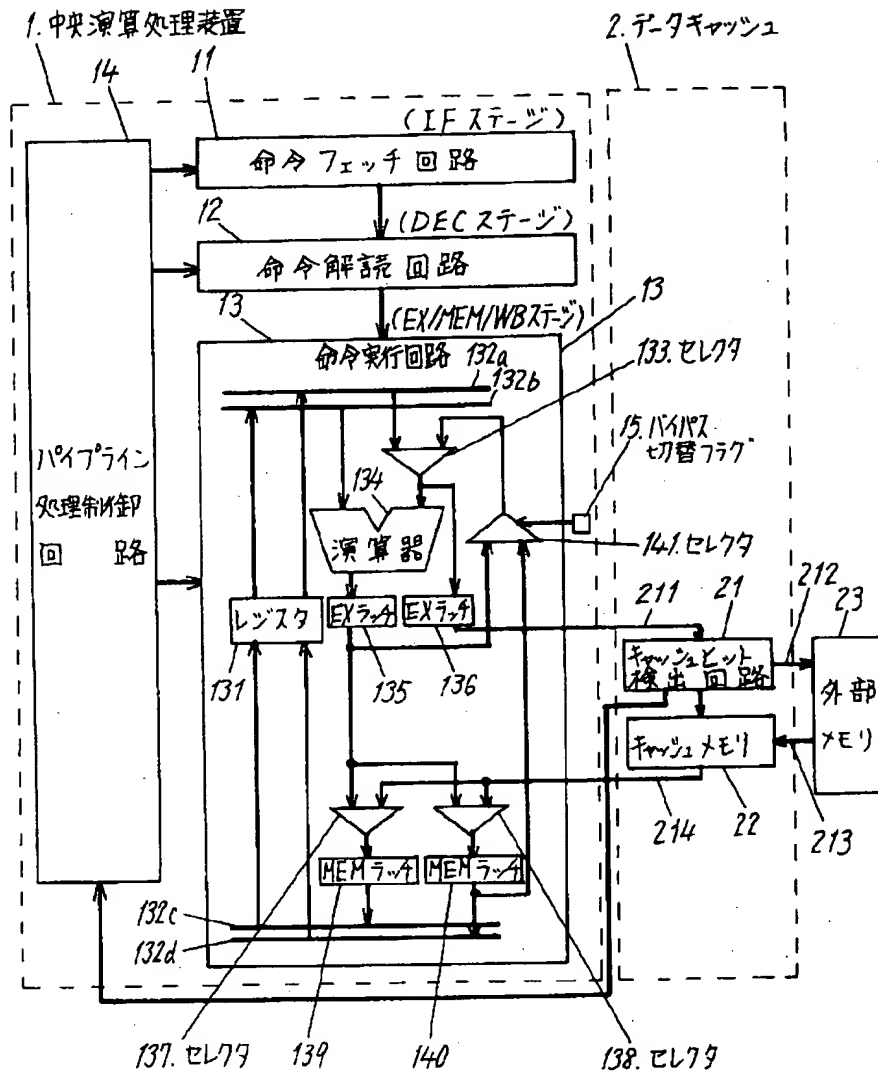
3 3 命令実行回路
 3 4 パイプライン処理制御回路
 3 5 高速ピッチフラグ
 4 1 キャッシュヒット検出回路
 4 2 MEM1ラッチ
 4 3 セレクタ
 4 4 キャッシュメモリ
 4 5 外部メモリ
 1 3 1 レジスタ
 1 3 2 a ~ 1 3 2 d バス
 1 3 3 セレクタ
 1 3 4 演算器
 1 3 5 第1 EXラッチ
 1 3 6 第2 EXラッチ
 1 3 7 セレクタ
 1 3 8 セレクタ
 1 3 9 第1 MEMラッチ
 1 4 0 第2 MEMラッチ
 1 4 1 セレクタ

2 1 1 アドレスバス
 2 1 2 アドレスバス
 2 1 3 データバス
 2 1 4 データバス
 3 3 1 レジスタ
 3 3 2 a ~ 3 3 2 d バス
 3 3 3 セレクタ
 3 3 4 演算器
 3 3 5 EXラッチ
 3 3 6 セレクタ
 3 3 7 MEM1ラッチ
 3 3 8 セレクタ
 3 3 9 MEM2ラッチ
 3 4 0 セレクタ
 4 1 1 アドレスバス
 4 1 2 アドレスバス
 4 1 3 データバス
 4 1 4 データバス

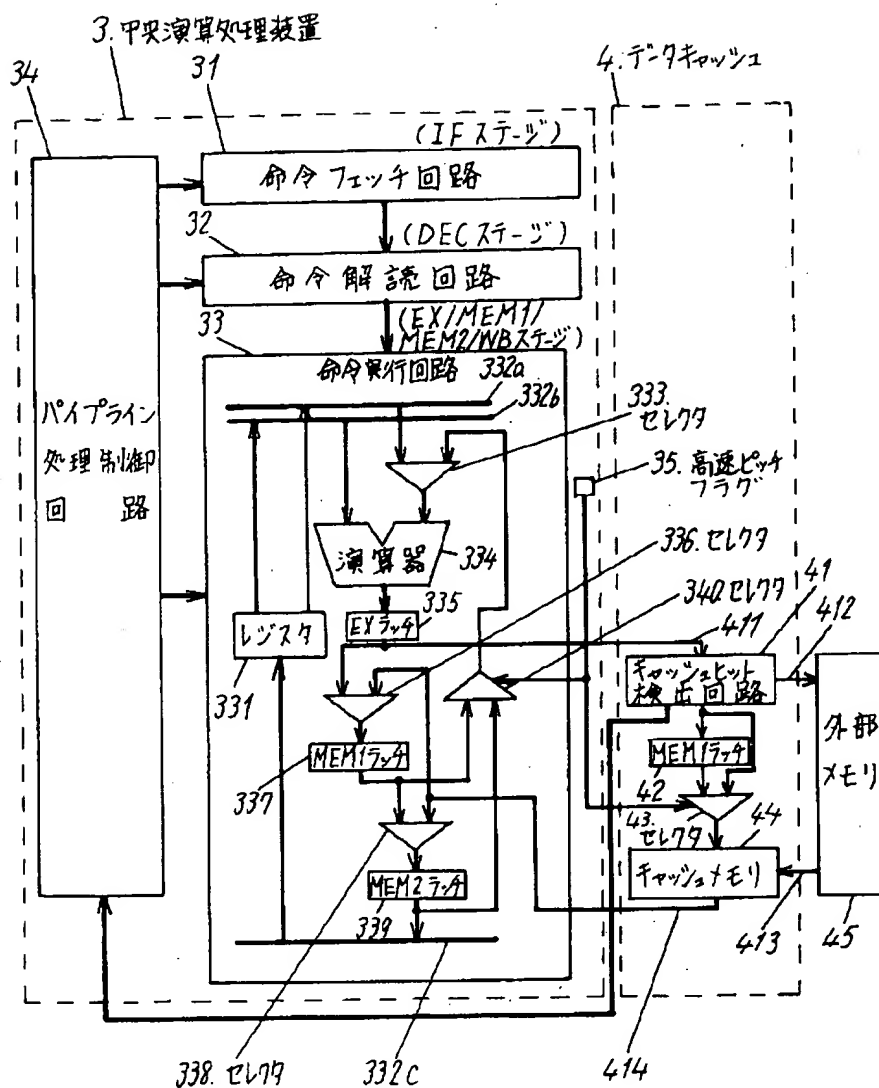
【図2】



【図1】

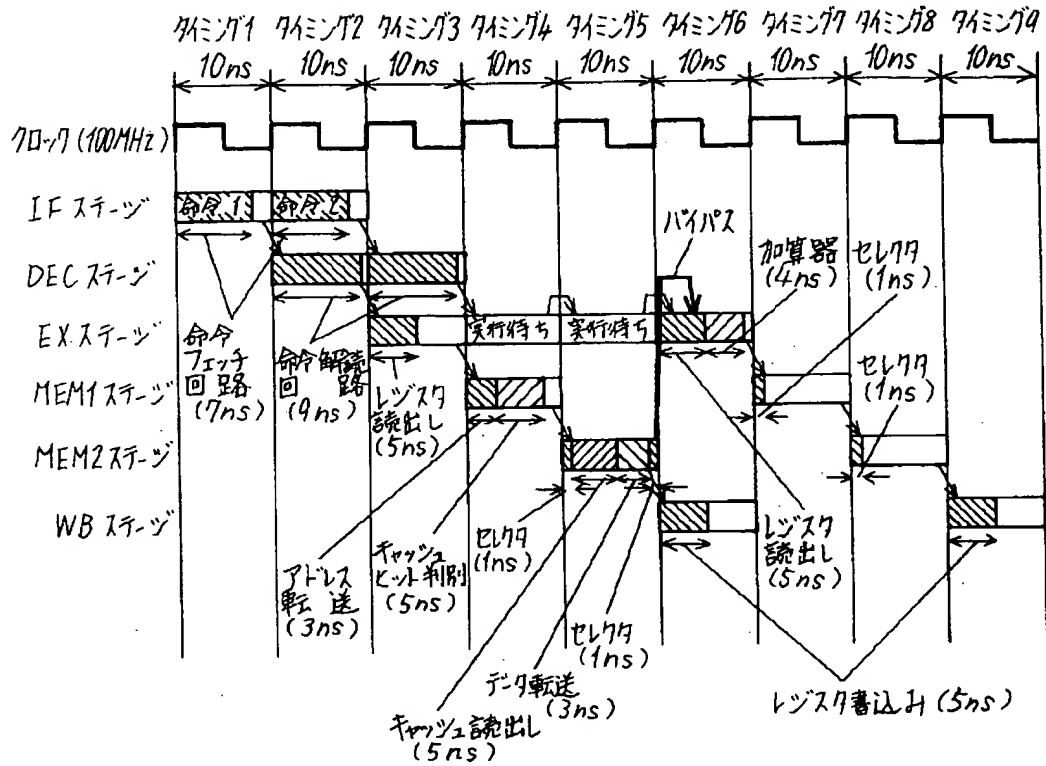


【図3】

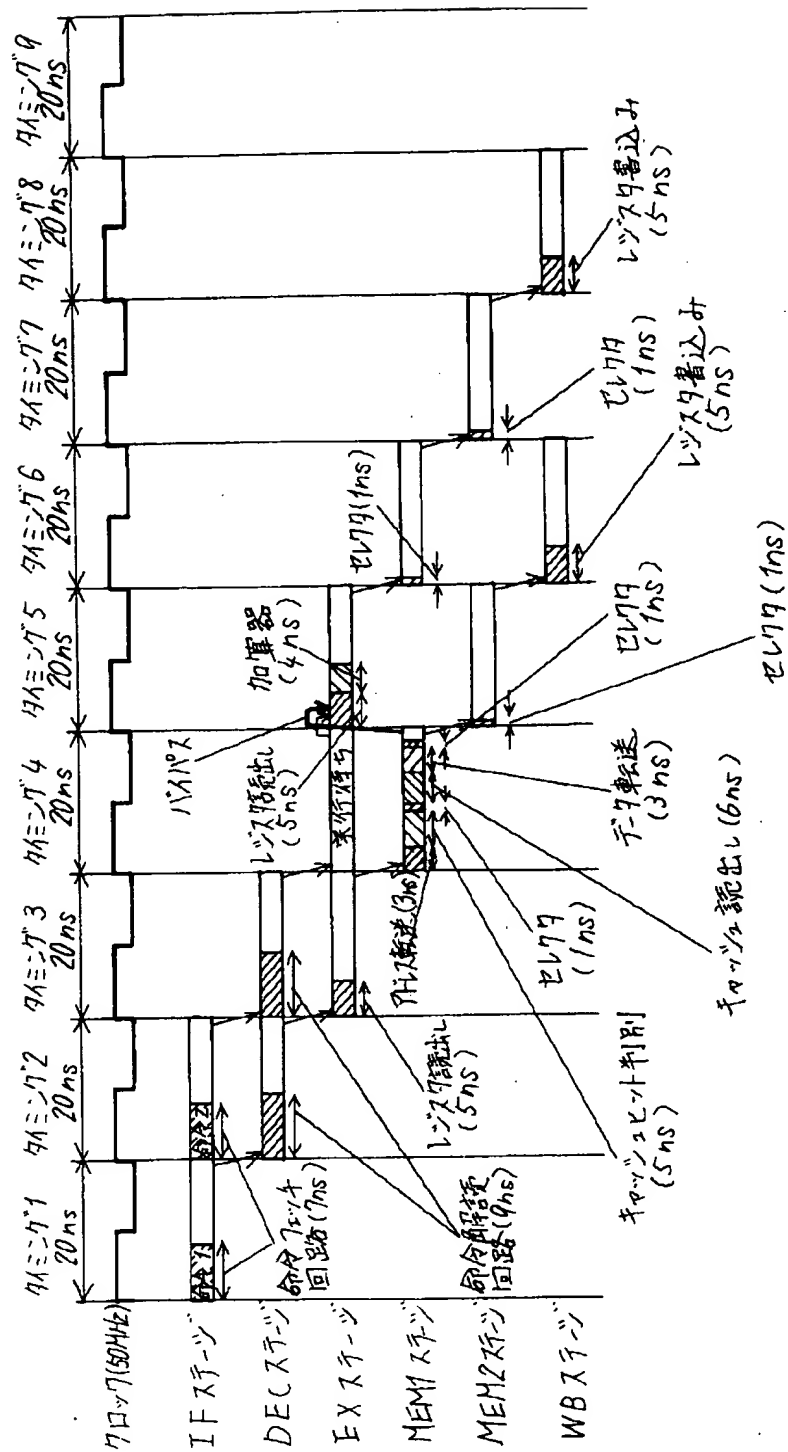


【図4】

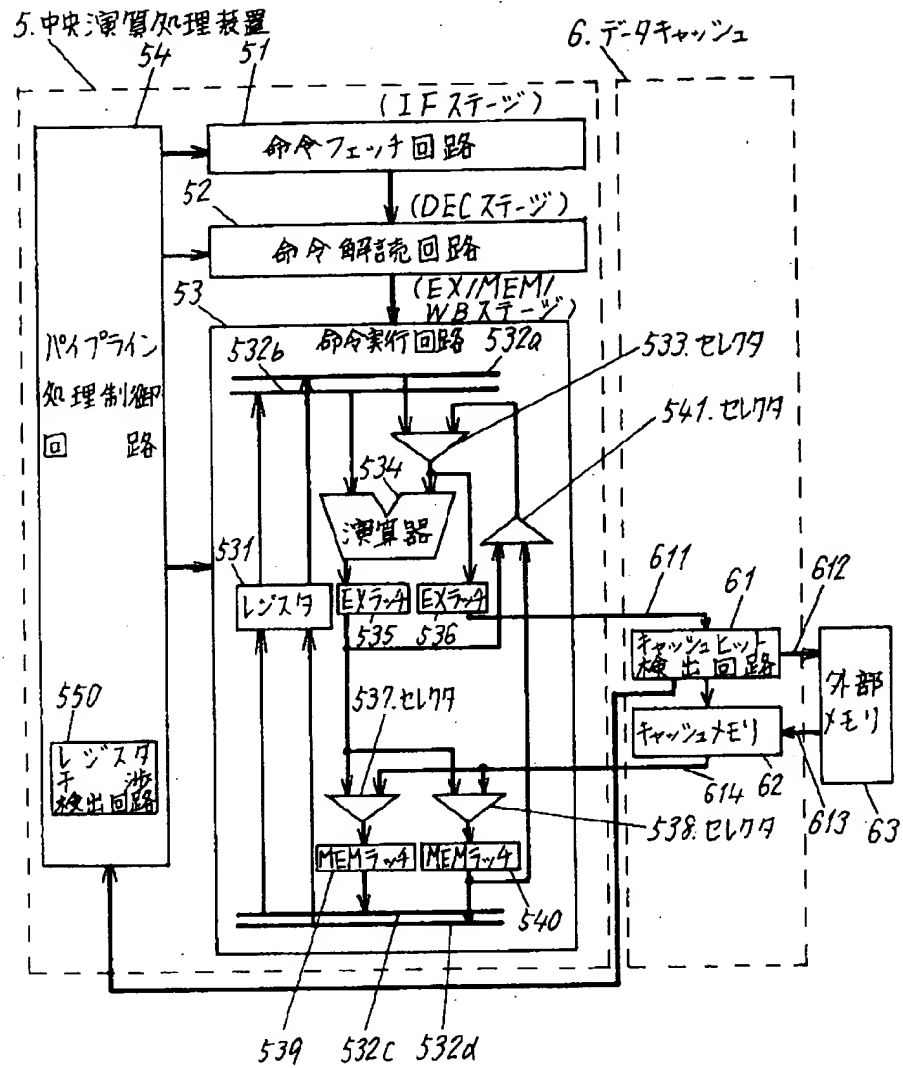
データロードと演算が連続して演算実行 (100MHz)



-21-

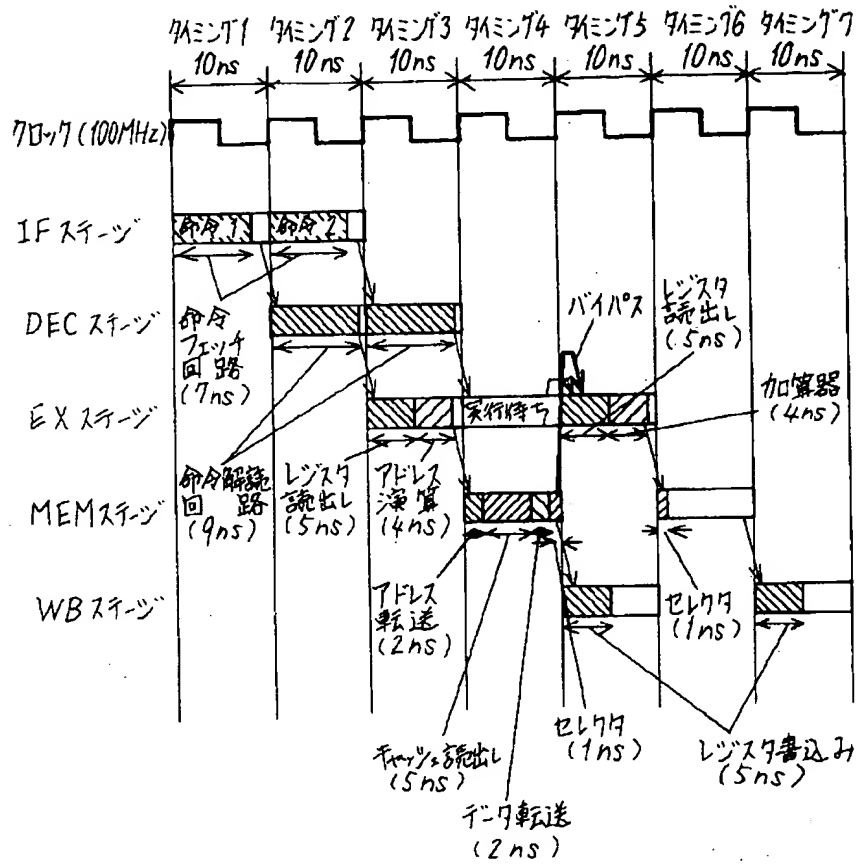


【図6】



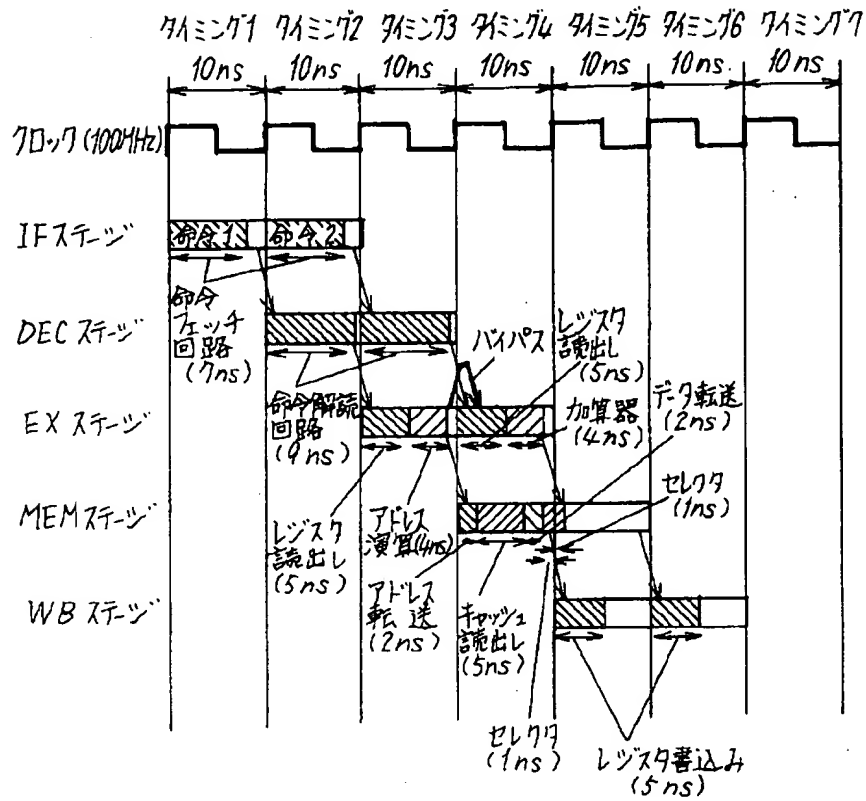
【図 7】

MEMステージからEXステージへのパイパス

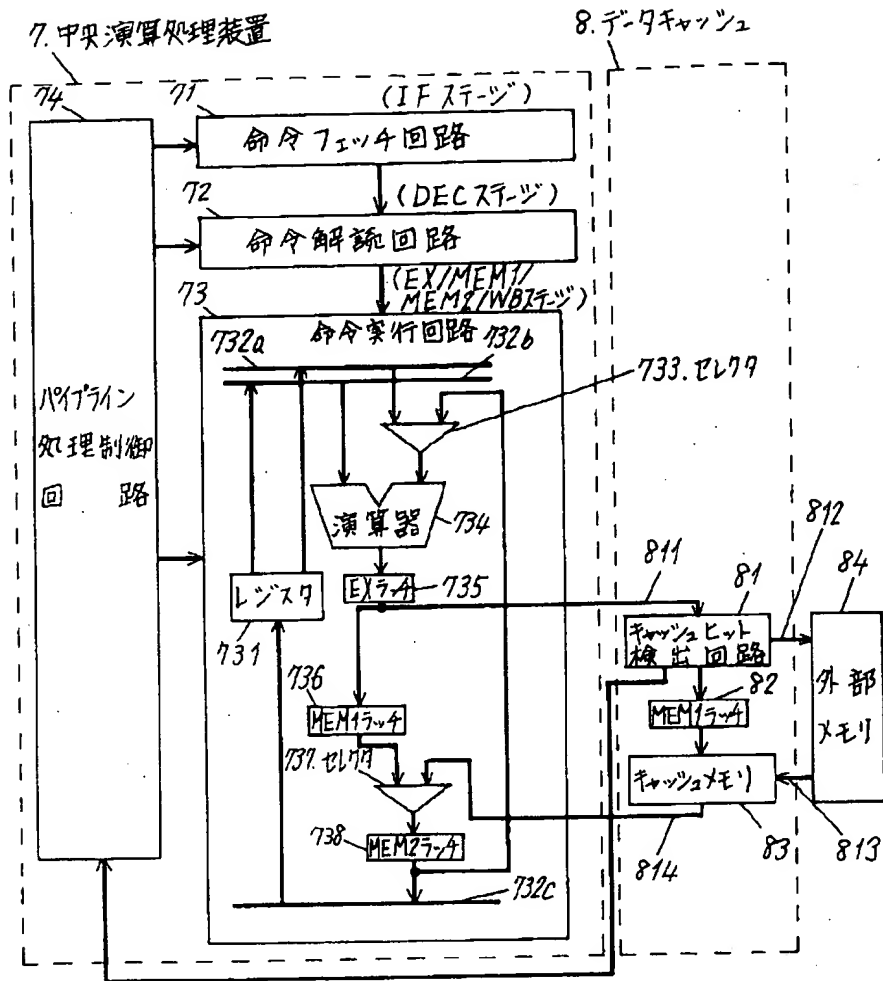


【図8】

EXステージからEXステージへのパイパス

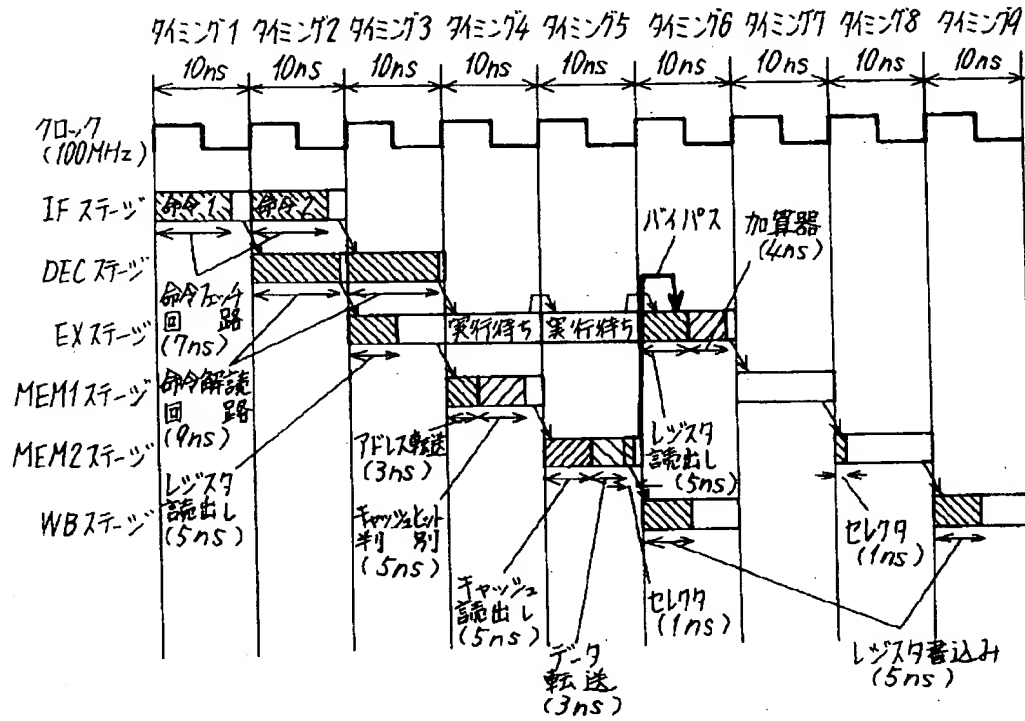


【図9】



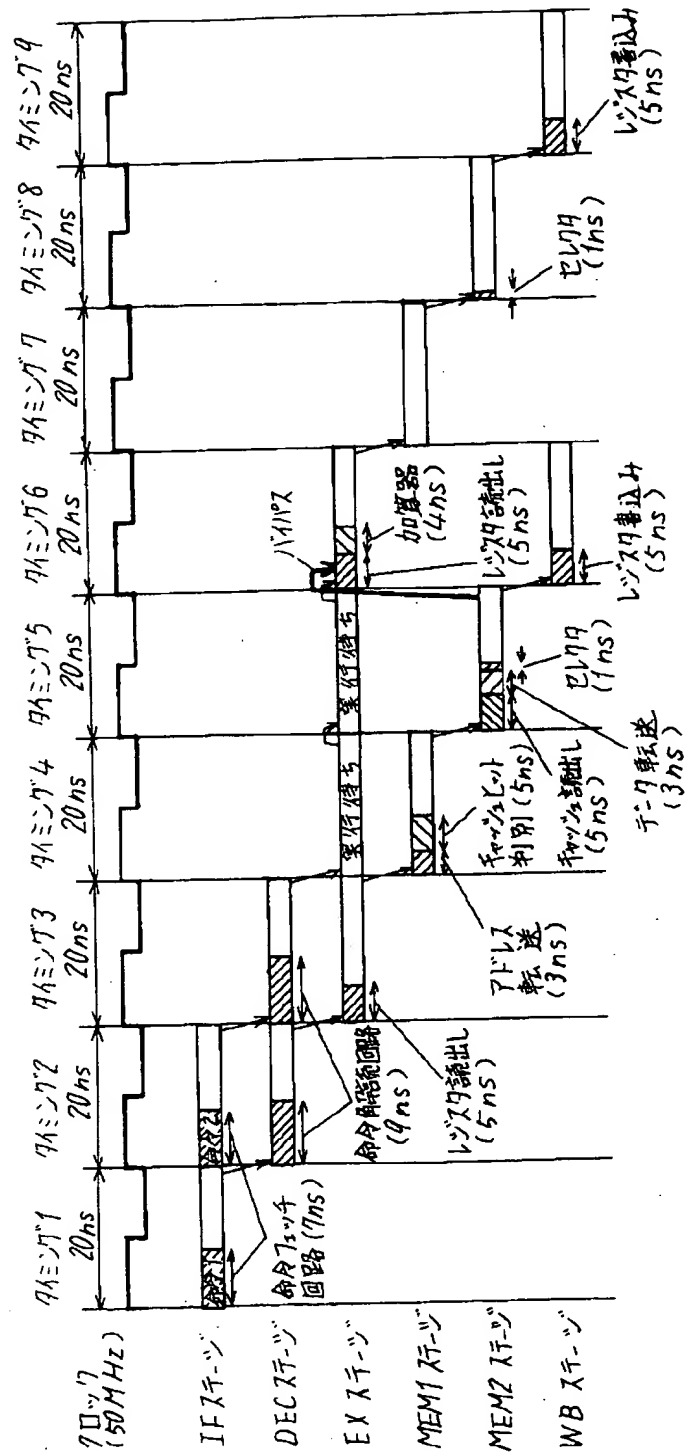
【図10】

データロードと演算が連続した演算実行 (100MHz)



【図11】

デコードと演算が連続した演算実行 (50 MHz)



フロントページの続き

(72) 発明者 金子 圭介

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小椋 里

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 鈴木 正人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.